

Caracterización de la impedancia de puerta y análisis de las características estáticas y dinámicas de MOSFET de SiC de 3,3 kV

M. R. Rogina¹, A. Rodríguez¹, Philippe Godignon², Victor Soler², Javier Sebastián¹

¹Grupo de Sistemas Electrónicos de Alimentación, Campus de Viesques s/n, Universidad de Oviedo (e-mail: rodriguezmaria@uniovi.es)

²IMB-CNM, CSIC, Campus UAB, 080193 Bellaterra-Barcelona

Abstract – En el desarrollo de nuevos semiconductores de banda prohibida ancha de alta tensión, se hace necesario realizar una caracterización exhaustiva de su comportamiento, de cara a su uso futuro en aplicaciones reales. En este documento se presenta una caracterización básica de unos nuevos prototipos de MOSFET de SiC de 3,3 kV, tanto de forma estática como dinámica, donde se detectan transiciones especialmente lentas que se explicarán en función de cómo es la configuración de las uniones de las puertas de las celdas del dispositivo de potencia.

Palabras clave: SiC, MOSFET, alta tensión, semiconductor banda prohibida ancha

I. INTRODUCCIÓN

Los semiconductores de banda prohibida ancha se están convirtiendo en grandes competidores de los semiconductores de silicio en aquellas aplicaciones en las que los dispositivos de potencia de silicio muestran un rendimiento limitado. En particular, los MOSFET de Carburo de Silicio (SiC) muestran muchas ventajas con respecto a sus predecesores como, por ejemplo, transiciones más rápidas en las conmutaciones, mayor capacidad de bloqueo o posibilidad de trabajar a mayor temperatura. Sin embargo, las tecnologías usadas en los procesos de fabricación todavía deben optimizarse para obtener dispositivos competitivos con sus análogos de silicio, los cuales han alcanzado un alto nivel de desarrollo.

La relevancia de los dispositivos de SiC ha crecido en los últimos años como resultado de las excelentes propiedades teóricas que posee este material [1]. Aunque hace tiempo que existen diodos disponibles de SiC, la aparición de MOSFET en el mercado es mucho más reciente.

El hecho de que la mayor parte de la potencia disipada en los convertidores de potencia se localice en los dispositivos semiconductores hace que uno de los principales retos consista en la mejora precisamente de éstos. Concretamente, en relación a los MOSFET de SiC de alta tensión, ya existen dispositivos de 1,7 kV comerciales [2][3], dispositivos de 3,3 kV en desarrollo [4] y se espera que en un futuro cercano éstos sean capaces de competir con IGBTs de silicio de hasta 5 kV [5]. De

hecho, ya existen resultados preliminares con MOSFET de SiC de 10-15 kV [6][7].



Figura 1 MOSFET de 8 A bajo pruebas

II. CARACTERIZACIÓN INICIAL

El objetivo de este artículo es, en primer lugar, presentar unos nuevos MOSFET de SiC de 3,3 kV (Figura 1) desarrollados en el Instituto de Microelectrónica de Barcelona-Centro Nacional de Microelectrónica (IBM-CNM), que se encuentran en fase de fabricación y mejora [8], y que han sido verificados en oblea por medio de caracterizaciones de índole física, probando así su capacidad de bloqueo de tensión y el paso de corriente por ellos.

En este trabajo también se estudia su viabilidad para ser usados en convertidores conmutados de potencia, y para ello se lleva a cabo una caracterización inicial de los mismos, tanto de forma estática como dinámica. Además, se tiene en cuenta la dispersión de las medidas, repitiendo las pruebas en los 7 dispositivos de encapsulado provisional de los que se dispone, de los cuales se sabe que conducen distintas corrientes (4 de ellos soportan una corriente de drenador máxima de 8 A y los otros 3 dispositivos conducen hasta 3 A). Tras esto, se propone un modelo que se ajusta y que explica el comportamiento del MOSFET en función de la impedancia de la puerta del mismo.

A. Caracterización estática

Algunas de las primeras pruebas realizadas consisten en la medida de las capacidades de entrada (C_{gs} - Figura 2) y salida (C_{ds} -Figura 3) haciendo uso de un analizador de impedancias, y haciendo variar las tensiones puerta-fuente (V_{GS} , entre 0 y 15 V) y drenador-fuente (V_{DS} , entre 0 y 40 V), respectivamente.

Como puede observarse, la capacidad C_{gs} a medida que se aumenta la tensión V_{GS} tiende hacia un valor estable de 374 pF

para los MOSFET de más corriente y de 250 pF para los que conducen menos corriente. En el caso de la capacidad C_{ds} tiende hacia un valor del orden de 220 pF para los MOSFET de 8 A y de 100 pF para los de 3 A. En este caso la tensión V_{DS} aplicada sólo llega a 40 V (que es la máxima tensión que es capaz de aplicar el analizador de impedancias utilizado), aunque debería hacerse una caracterización cuidadosa subiendo la tensión hasta un rango más cercano a las tensiones que es capaz de soportar el dispositivo, y comprobando que la capacidad de salida permanece estable al subir la tensión.

Cabe mencionar que los valores obtenidos, aunque no son iguales, sí son coherentes con los medidos en un MOSFET de SiC de CREE de 1,7 kV comercial, el C2M1000170D [2].

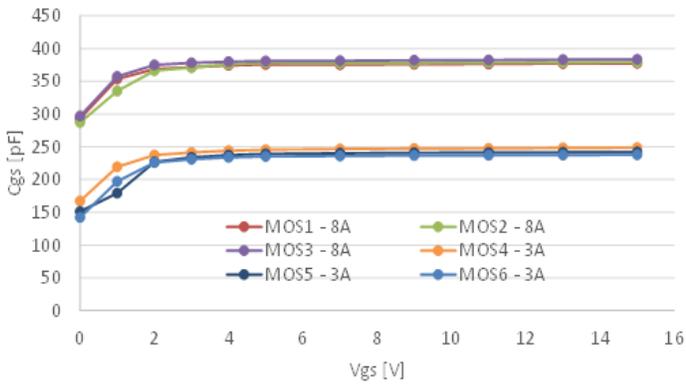


Figura 2 Capacidad puerta-fuente (C_{gs} [pF]) frente a tensión puerta-fuente (V_{gs} [V]) para distintos dispositivos

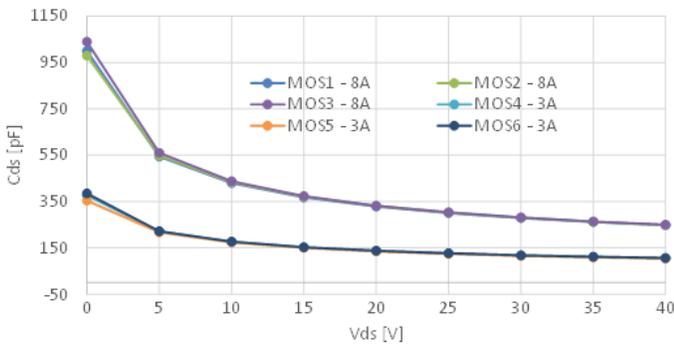


Figura 3 Capacidad drenador-fuente (C_{ds} [pF]) frente a tensión drenador-fuente (V_{ds} [V]) para distintos dispositivos

También ha sido objeto de interés obtener las curvas de salida tensión-corriente (Figura 4 y Figura 5) a partir de las cuales se puede predecir la resistencia en conducción ($R_{DS(on)}$ vale unos 650 mΩ para los de más corriente y 1Ω para los de menos corriente) y la tensión umbral de cada dispositivo (V_{TH} , que se comprobó que es del orden de 3,5-4 V). De la misma manera se ha procedido a comprobar la capacidad de bloqueo de los MOSFET y a la caracterización del diodo parásito existente en antiparalelo (Figura 6) al MOSFET, cuya tensión de codo está en todos los casos en torno a 1,5 V.

En cualquiera de los casos mencionados, los resultados obtenidos son coherentes tanto entre los propios ejemplares de dispositivos bajo prueba, como frente a dispositivos

comerciales de un orden de magnitud similar, cuya $R_{DS(on)}$ según el fabricante es del orden de 1Ω y su V_{TH} es de 2.6 V [2].

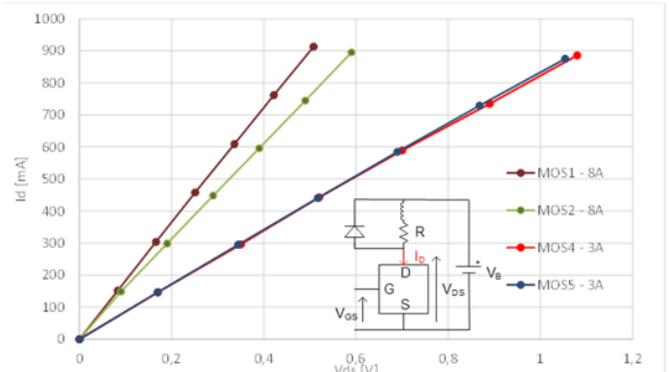


Figura 4 Curvas de salida I_D (mA)- V_{ds} (V) para distintos dispositivos

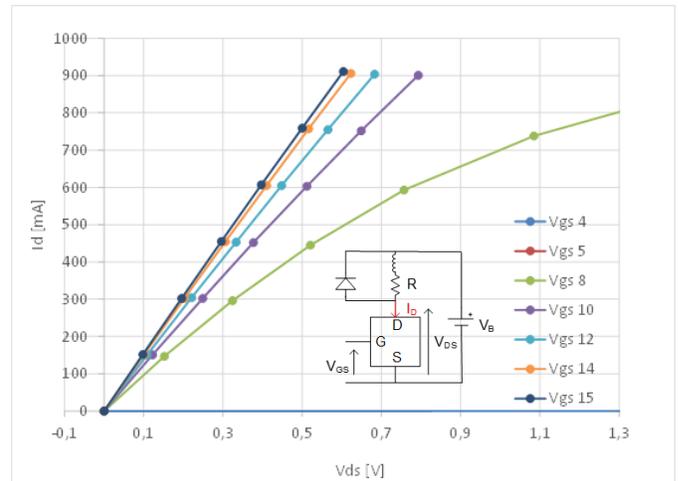


Figura 5 Curvas de salida I_D (mA)- V_{ds} (V) para distintas tensiones V_{gs} [V] para un MOSFET de 8A

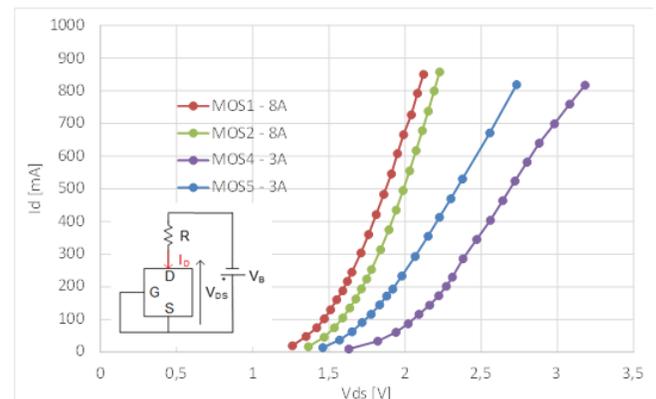


Figura 6 Caracterización del diodo parásito (I_D [mA]- V_{ds} [V]) de distintos dispositivos

B. Caracterización dinámica

En lo que respecta a la caracterización dinámica (Figura 7), las pruebas iniciales se afrontan a bajas frecuencias de conmutación (en torno a 1 kHz – 10 kHz). Aunque éstas pueden

considerarse bajas frecuencias para una aplicación final, serán suficiente para comprobar cómo son las transiciones durante la conmutación y si los dispositivos serán susceptibles de trabajar a frecuencias más elevadas.

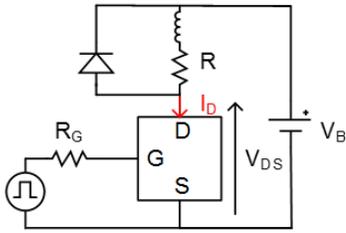


Figura 7 Esquema del circuito resistivo empleado para la caracterización dinámica ($R=94\Omega$, $V_B=291\text{ V}$, $f=1\text{ kHz}$)

En ambos casos, el comportamiento observado no es el esperable de un MOSFET, debido a la imprevista lentitud que muestran los dispositivos en las transiciones (Figura 8). Cabe decir que los retardos que se observan son independientes de la frecuencia de trabajo, y hacen que éstos no sean adecuados para su uso en convertidores de potencia reales. Además, ante cambios en las tensiones y corrientes de trabajo que se acercan más a las esperables en aplicaciones reales en las que se empleasen estos MOSFET, no se observan mejoras considerables durante las conmutaciones.

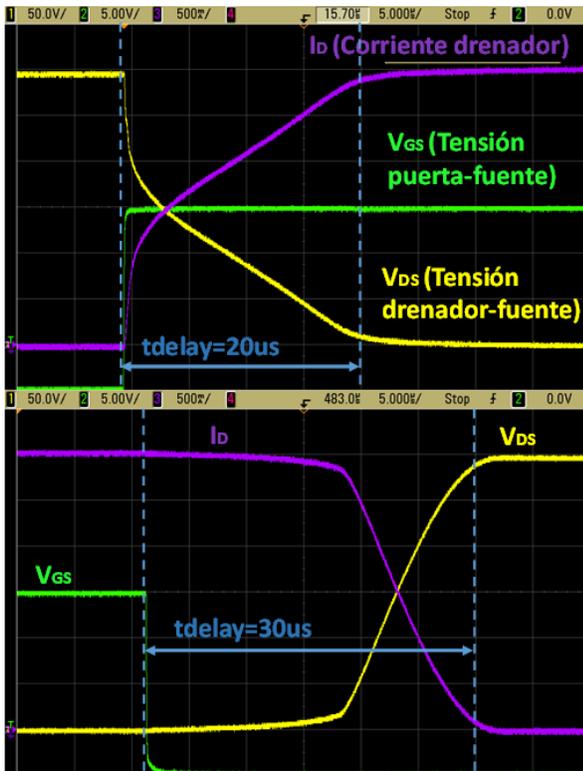


Figura 8 Comportamiento dinámico del MOSFET. Arriba: encendido. Abajo: apagado. Se muestran $I_D[A]$, $V_{GS}[V]$ y $V_{DS}[V]$

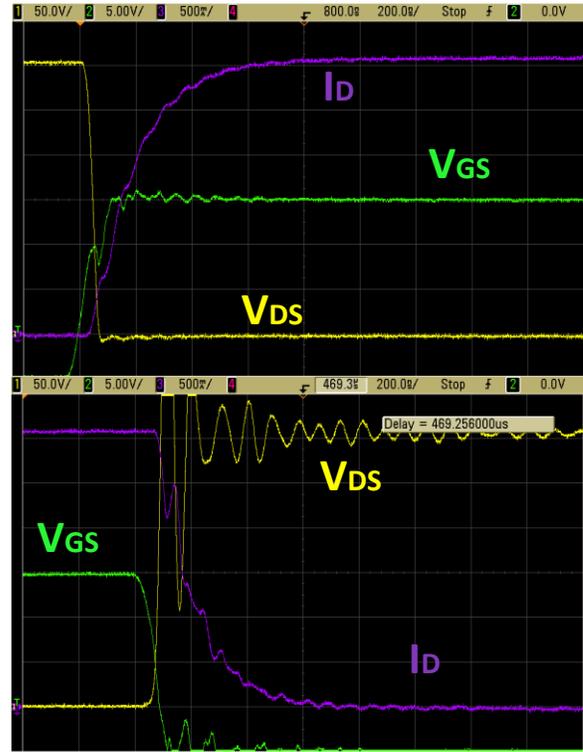


Figura 9 Comportamiento dinámico del MOSFET de CREE (C2M1000170D). Arriba: encendido. Abajo: apagado. Se muestran $I_D[A]$, $V_{GS}[V]$ y $V_{DS}[V]$

En la Figura 9 puede verse la respuesta dinámica, en este caso, del MOSFET C2M1000170D del fabricante CREE previamente nombrado[2]. Puede comprobarse cómo los tiempos de retardo en las transiciones son mucho menores que en los MOSFET bajo estudio (téngase en cuenta la escala, que en la Figura 9 es de 200 ns/div frente a los 5µs/div de la Figura 8).

Las buenas características estáticas observadas confirman que se ha logrado desarrollar MOSFET de SiC de alta tensión. Sin embargo, las pruebas dinámicas dan a entender que aún quedan aspectos por resolver en el desarrollo de los mismos.

Analizando los resultados previos se llega a la conclusión de que el circuito de puerta está ralentizando la conmutación de los semiconductores, por lo que se tratará de hacer una caracterización del mismo.

III. PROPUESTA DE MODELADO DE LA PUERTA DEL MOSFET

Este funcionamiento excesivamente lento, puede atribuirse a la estructura interna del conexionado de las puertas de las celdas elementales que forman el dispositivo de potencia (Figura 10). Dicha estructura consiste en cientos o miles de celdas unidas de tal forma que la configuración de esas uniones influirá en la impedancia de puerta del dispositivo y, por tanto, en el comportamiento del mismo.

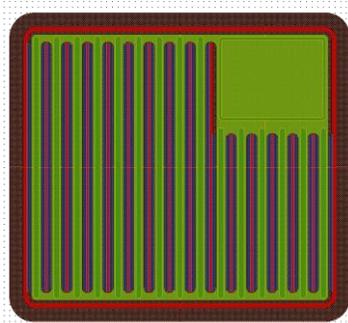


Figura 10 Estructura simplificada del MOSFET de SiC bajo prueba. En verde, el contacto de puerta.

En el caso concreto de los MOSFET bajo prueba se estima que su estructura está formada por celdas unidas mediante un diseño en tiras (Figura 11 y Figura 12, donde cada una de las celdas se va uniendo a la siguiente/anterior a través de polisilicio con un cierto dopaje), donde a su vez el contacto de puerta se corresponde con una agrupación de aproximadamente 17 celdas.

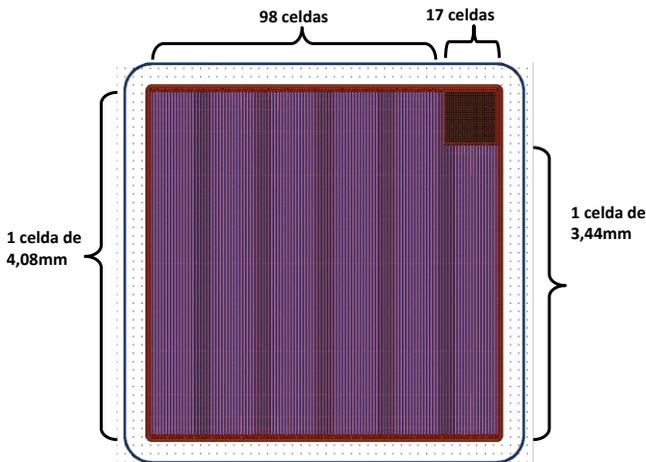


Figura 11 Distribución de las celdas del MOSFET de SiC



Distribución de los contactos de puerta

Figura 12 Detalle de la distribución de los contactos de puerta

Esta disposición puede explicarse mediante un modelo basado en circuitos RC como el de la Figura 13, donde se diferencian 3 agrupaciones distintas de celdas más 2 celdas de transición entre las agrupaciones. Los pares R1-C1 representan las uniones de las celdas correspondientes al contacto de puerta,

que se caracterizarán porque su carga/descarga es muy rápida en comparación con el resto de las uniones. En contraposición, los pares R3-C3 se caracterizarán por una carga/descarga muy lenta.

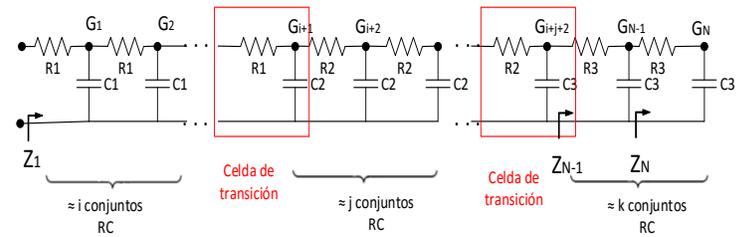


Figura 13 Modelo circuito RC que caracteriza las uniones entre celdas

La impedancia total del conjunto, en general, para N celdas, se calcula teniendo en cuenta las expresiones (1) y (2):

$$Z_1 = Z_{gate} = \sum_{i=N-1}^1 R_i + \frac{1}{s \cdot C_i} \cdot Z_{i+1} \quad (1)$$

Siendo

$$Z_N = R_3 + \frac{1}{s \cdot C_3} \quad (2)$$

IV. RESULTADOS EXPERIMENTALES Y DE SIMULACIÓN

A. Medidas de impedancias

Para llevar a cabo una comparación entre el modelo planteado de forma analítica y las medidas obtenidas de forma experimental (Figura 15) se ha recurrido a un equivalente circuital como el mostrado en la Figura 14, consistente en 20 conjuntos RC cuyos valores se recogen en la Tabla 1.

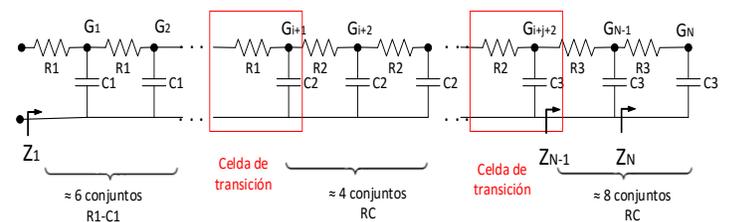


Figura 14 Equivalente RC simulado

Tabla 1 Valores de los conjuntos RC

R1 [Ω]	160
C1 [pF]	37,5
R2 [Ω]	758
C2 [pF]	53
R3 [Ω]	2275
C3 [pF]	159

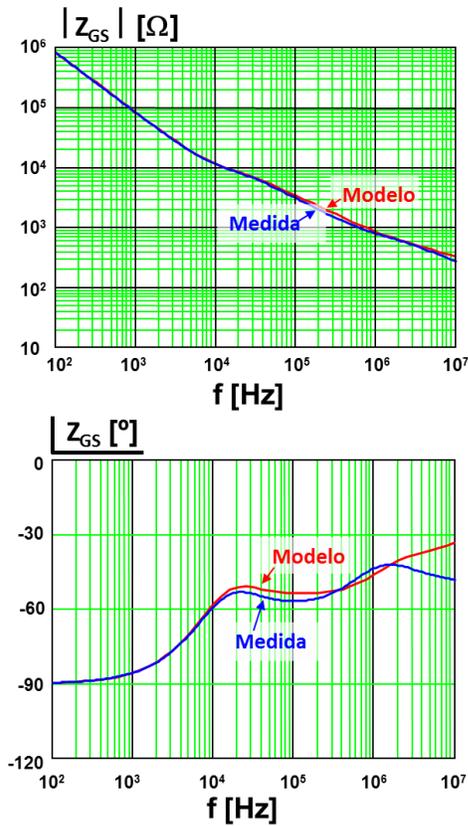


Figura 15 Impedancia de puerta del MOSFET. Arriba: $|Z_g|$ en escala logarítmica. Abajo: Fase(Z_g) en grados($^\circ$) en escala lineal. En azul las medidas realizadas con el analizador de impedancias. En rojo los resultados obtenidos con el modelo planteado.

B. Medidas en el dominio del tiempo

Una vez establecidas las combinaciones R1-C1, R2-C2 y R3-C3 y las transiciones que más se ajustan al comportamiento de los MOSFET bajo prueba, se ha procedido a una validación de los resultados en el dominio temporal.

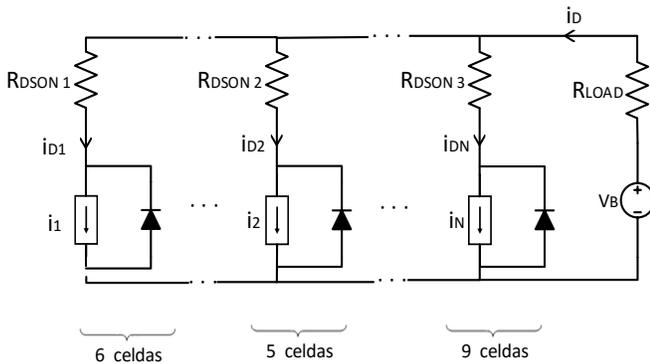


Figura 16 Circuito drenador-fuente del MOSFET. $R_{DSON1} = 1400\Omega$. $R_{DSON2} = 16.5\Omega$. $R_{LOAD} = 5.5\Omega$. $V_B = 291V$

Para realizar esta simulación se ha partido de los circuitos representados en la Figura 14 y Figura 16. En este último circuito se pretende representar la activación de las distintas

celdas del MOSFET. La corriente de drenador será la suma de las aportaciones de cada una de estas celdas, las cuales aportarán una corriente que será función de la tensión que vea la puerta de esa celda y la tensión umbral de la misma (véase la expresión 4, donde 'x' representa el número de la celda).

$$i_x = f(V_{GX}, V_{TH}) \quad (4)$$

Los resultados obtenidos en esta simulación se muestran en la Figura 17 (encendido del MOSFET) y Figura 18 (apagado del MOSFET).

Como puede verse, con los ajustes hechos en el modelo, se han conseguido tanto el retardo que aparecía en el apagado de los dispositivos como las transiciones lentas durante el encendido y apagado. Éstas últimas son del orden de 20us, similares a las medidas obtenidas en el laboratorio.

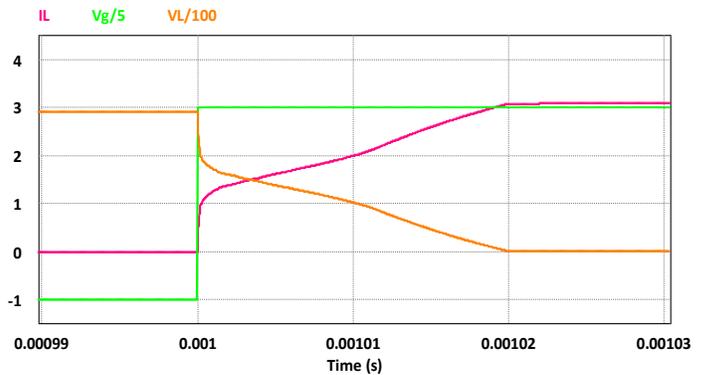


Figura 17 Encendido del MOSFET. En rosa $I_d[A]$. En naranja $V_{ds}/100[V]$. En verde $V_g/5[V]$

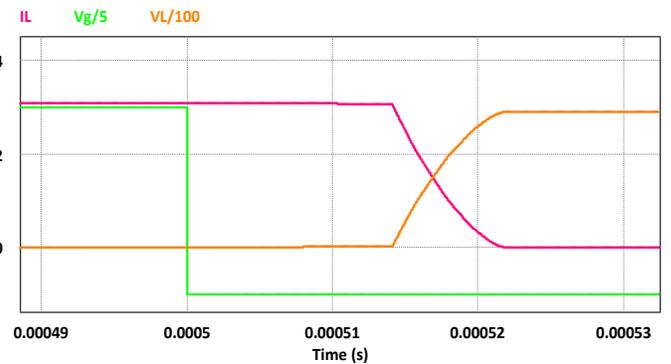


Figura 18 Apagado del MOSFET. En rosa $I_d[A]$. En naranja $V_{ds}/100[V]$. En verde $V_g/5[V]$

V. CONCLUSIONES Y TRABAJO FUTURO

Se han caracterizado unos nuevos MOSFET de SiC de 3,3 kV que presentan unas características estáticas congruentes con las que ofrecen dispositivos comerciales del mismo rango de

corriente y menor tensión de otros fabricantes. Sin embargo, el comportamiento dinámico de los mismos no es aún el deseable.

Para poder estudiar en detalle la razón de la lentitud observada en la conmutación, se ha propuesto un modelo basado en circuitos RC que explica el comportamiento lento de estos dispositivos en las transiciones de conmutación. Dicho modelo se basa en la estructura de las uniones entre celdas que componen la puerta del MOSFET.

El modelo planteado se ha validado de forma analítica mediante software matemático y, también, con simulaciones basadas en agrupaciones de celdas. A su vez se han llevado a cabo medidas experimentales de la impedancia de la puerta de los dispositivos que se ajustan a los resultados obtenidos mediante las simulaciones en MATLAB®, MATHCAD® y PSIM®, validando así el modelo propuesto.

Como trabajo futuro se pretende que esta caracterización de la impedancia de puerta sea de utilidad para saber en qué medida se ha de modificar el dopado del polisilicio o incluso la estructura de la unión de las celdas que conforman la puerta, y así tratar de desarrollar un MOSFET con mejores prestaciones en un futuro próximo.

VI. AGRADECIMIENTOS

Este trabajo se ha realizado mediante la financiación del Gobierno de España a través de los proyectos DPI2013-47176-C2-2-R, MINECO-15-DPI2014-56358-JIN y la beca FPI BES-2014-070785, mediante la financiación del Gobierno del Principado de Asturias a través del proyecto FC-15-GRUPIN14-143 y los fondos FEDER, y gracias al proyecto de la Comisión Europea “Silicon Carbide Power Electronics Technology for Energy Efficient Devices”, SPEED, FP7 Large Project (NMP3-LA-2013-604057).

REFERENCIAS

- [1] J.A. Cooper, and A. Agarwal, “SiC POWER –switching devices. The second electronics revolution?”, Proceedings of the IEEE, vol.90, no.6, pp. 956-968, June 2002.
- [2] <http://www.wolfspeed.com> / Último acceso: 24 febrero de 2016
- [3] <http://www.rohm.com> / Último acceso: 24 febrero de 2016
- [4] Bolotnikov, A., Losee, P., Matocha, K., et al.: ‘3.3 kV SiC MOSFETs designed for low on-resistance and fast switching’. Proc. of the ISPSD’12, Bruges, Belgium, 2012, pp. 389–392
- [5] J.Millan, P.Godignon, X.Perpina, A. Perez-Tomas, and J.Rebollo, “A Survey of Wide Band gap Power Semiconductor Devices” IEEE Transactions on Power Electronics, vol. 29, no. 5, pp. 2155-2163, Mayo-2014
- [6] V.Pala, E.V.Brunt, L.Cheng, M.O’Loughlin, J.Richmond, A.Burk, S.T.Allen, D.Grider and J.W. Palmour, “10kV and 15kV Silicon Carbide Power MOSFETs for Next-Generation Energy Conversion and Transmission Systems” in Proc. IEEE Energy Conver. Congr. Expo., 2014, pp.449-454
- [7] J. Wang , T. Zhao , J. Li , A. Q. Huang , R. Callanan , F. Husna and A. Agarwal "Characterization, modeling, and application of 10-kV SiC MOSFET" IEEE Trans. Electron Devices, vol. 55, no. 8, pp. 1798-1806, 2008
- [8] V. Soler, M.Berthou, M.Florentin, J.Montserrat, P.Godignon, J.Rebollo y J.Millán. “Design and Fabrication of High Voltage 4H-SiC MOS Transistors” SAAEI-2015