

Cascodo de Super Unión, una Configuración para Romper el Límite de Frecuencia de Conmutación del Silicio.

Juan Rodríguez¹, Jaume Roig², Alberto Rodríguez¹, Abraham López¹, Diego G. Lamar¹ y F. Bauwens²

¹Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (e-mail: rodriguezjuan@uniovi.es)

Edificio Departamental nº3. Campus Universitario de Viesques. 33204 Gijón. España.

²Power Technology Centre, Corporate R&D ON Semiconductor, Oudenaarde 9700, Bélgica.

Resumen—Este artículo se centra en el estudio del MOSFET de Super Unión en configuración en cascodo (SJ-CC) con un MOSFET de silicio de baja tensión. Esta estructura combina el buen comportamiento en conmutación de la configuración en cascodo (CC) con las virtudes propias de la tecnología de silicio como son la robustez, la madurez y el bajo coste.

El objetivo del artículo es justificar y demostrar la reducción de las pérdidas de conmutación gracias al uso de un SJ-CC frente al mismo MOSFET de Super Unión (SJ-FET) controlado directamente desde su puerta. Para ello, se ha estudiado mediante simulación y experimentación la potencia disipada por estas dos opciones al ser empleadas como interruptor principal de un convertidor elevador que opera en modo de conducción continuo (MCC). En dicho convertidor se fija la tensión de entrada y de salida a 100 V y 400 V respectivamente, y se varía la frecuencia de conmutación y la corriente que atraviesa el interruptor con el objetivo de encontrar condiciones de operación beneficiosas para el SJ-CC.

Palabras clave— Alta frecuencia, Alto rendimiento, Cascodo, Silicio.

I. INTRODUCCIÓN

Para lograr un interruptor de potencia comercial normalmente abierto en el rango de tensión entre 500V y 900V basado en Nitruro de Galio (GaN), la configuración en cascodo (GaN-CC) es la opción preferida por muchas compañías [1-3]. GaN-CC exhibe un rendimiento en conmutación superior al alcanzado por los ampliamente utilizados MOSFETs de Super Unión (SJ-FETs) [1, 4]. Por otra parte, un trabajo reciente [5] sugiere que parte de estas ventajas se deben mayoritariamente a la propia configuración en cascodo (CC), en la que la baja capacidad de entrada es proporcionada por un MOSFET de silicio de baja tensión (LV-FET). Sin embargo, dicho trabajo no ofrece un estudio comparativo del ahorro energético que puede suponer el uso de un SJ-FET en CC frente al control directo. En [6] se puede encontrar una explicación detallada del proceso de conmutación de SJ-CC teniendo en cuenta el efecto de ciertos elementos parásitos. En términos generales, se puede decir que apenas se encuentra literatura acerca de dispositivos de silicio de alta tensión en CC, con excepción de los que emplean transistores de unión bipolar (BJT) [7, 8].

El objetivo de este artículo es investigar en profundidad el SJ-CC como un interruptor de potencia ultra-rápido y cuyo esquema se recoge en la Fig. 1. Como reto principal, SJ-CC

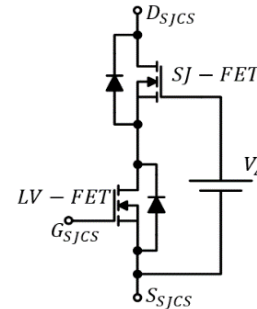


Fig. 1. Esquema circuital ideal del MOSFET de Super Unión en configuración de cascodo (SJ-CC).

pretende, además de combinar la madurez y el bajo coste de la tecnología de silicio, superar el límite de la frecuencia de conmutación existente en los SJ-FETs gracias a la mejora del comportamiento en conmutación que aporta la CC. Hay que señalar que las últimas generaciones de estos dispositivos se encuentran cerca del límite teórico de su capacidad de densidad de corriente [9], lo que implica un límite en la reducción de las capacidades parásitas.

A diferencia de trabajos previos, será demostrado mediante simulación y experimentación que SJ-CC alcanza mayores rendimientos que un SJ-FET controlado directamente a través de su puerta en los escenarios en que las pérdidas de conmutación son predominantes [10]. Además, se identificarán las causas del buen comportamiento en conmutación de esta configuración.

Este artículo presenta la siguiente estructura. En el apartado II se describe el comportamiento del SJ-CC tanto en los estados de conducción y bloqueo como en las transiciones de apagado y encendido. En el apartado III se realiza un análisis energético del SJ-CC, explicando las fuentes de pérdidas que aparecen en la configuración e identificando los factores que explican el mejor comportamiento en conmutación frente al control directo. Dicho apartado concluye con una comparativa mediante simulaciones Mixed-Mode de la energía disipada en el interruptor principal de un convertidor elevador al emplear un mismo SJ-FET controlado directamente o en CC. En esta comparativa se varía la frecuencia de conmutación y los niveles de corriente que atraviesan el interruptor para mostrar las condiciones de operación del convertidor en los que el uso del SJ-CC resulta más eficiente energéticamente. En el apartado IV se demuestra experimentalmente los razonamientos aportados hasta ese punto y, finalmente, en el apartado V se recogen las principales conclusiones.

II. COMPORTAMIENTO DEL MOSFET DE SUPER UNIÓN EN CONFIGURACIÓN EN CASCODO

A. Principio de Operación en Conducción y Bloqueo

El SJ-CC está constituido por un SJ-FET y un LV-FET como dispositivos de silicio de alta y baja tensión respectivamente (Fig. 1). El SJ-FET presenta una tensión umbral de puerta positiva, lo que hace necesario el empleo de una fuente de tensión constante (V_A) entre su puerta y la fuente del LV-FET. Desde un punto de vista general, el SJ-CC se comporta como un único interruptor que posee una puerta (G_{SJCC}), un drenador (D_{SJCC}) y una fuente (S_{SJCC}) equivalentes.

Durante el estado de bloqueo, SJ-FET soporta la mayor parte de tensión mientras que el LV-FET bloquea una tensión que es menor o igual a la tensión de avalanche de su diodo parásito (V_{AV}). Hay que señalar que en este artículo se asume que este diodo siempre alcanza el estado de avalanche. Respecto a las tensiones puerta-fuente que tenemos durante este estado, en el caso del LV-FET se corresponde con la tensión que proporciona la salida del *driver* en estado bajo, mientras que la del SJ-FET es igual a ($V_A - V_{AV}$), la cual debe ser menor o igual que 0 V.

Durante el estado de conducción, la tensión puerta-fuente del LV-FET está fijada por la tensión de salida del *driver* en estado alto, mientras que la del SJ-FET se corresponde con la diferencia entre el valor de la fuente de tensión constante (V_A) y la caída de tensión que existe en el LV-FET en conducción (despreciable en la práctica). Por tanto, ambos MOSFETs conducen con una diferencia en la contribución en la resistencia total en estado pasante que normalmente se diseña para ser alrededor del 90% y 10% para el dispositivo de alta y el de baja tensión respectivamente.

B. Descripción Simplificada de las Transiciones

Con el fin de apoyar la explicación del comportamiento de SJ-CC durante las transiciones del encendido y del apagado, se utiliza el esquema circuital propuesto en [6] y que se muestra en la Fig. 2. Dicho esquema incluye los dos MOSFETs ideales junto con los elementos parásitos más relevantes: el diodo (D_{SJ}) y las capacidades drenador-fuente (C_{DSHV}), puerta-fuente (C_{GSHV}) y drenador-puerta (C_{DGHV}) del SJ-FET; y el diodo (D_{LV}) y las capacidades drenador-fuente (C_{DSL}), puerta-fuente (C_{GSLV}) y drenador-puerta (C_{DGLV}) del LV-FET. También incluye la inductancia parásita (L_{PAR}) que aparece entre la fuente del SJ-FET y el drenador del LV-FET, y que provoca un

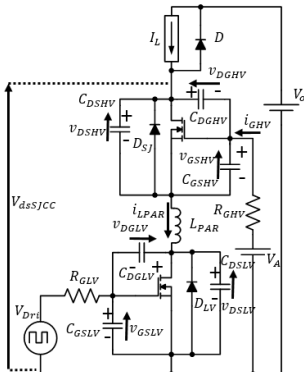


Fig. 2. Esquema del circuito con el que se estudia el comportamiento en conmutación de SJ-CC y que incluye sus principales elementos parásitos.

retraso en la formas de onda de las tensiones drenador-fuente (v_{DSL}) y puerta-fuente (v_{GSHV}) del LV-FET y del SJ-FET respectivamente. El esquema también muestra la fuente de tensión constante V_A , una fuente de corriente (I_L) que representa la corriente que fluye a través de la carga inductiva, el diodo ideal de libre circulación (D) y la tensión (V_o) que debe soportar el cascode durante el estado de bloqueo. El *driver* del LV-FET ha sido modelado como una fuente de tensión de modulación por ancho de pulsos (PWM) cuya tensión es de 0 V en estado bajo y de V_{DRI} en estado alto. En serie con esta fuente de tensión se conecta la resistencia R_{GLV} que incluye la resistencia de salida del driver y la resistencia de puerta del LV-FET. Por su parte, en serie con la puerta del SJ-FET se incluye la resistencia R_{GHV} que representa la resistencia interna del dispositivo.

A continuación se aporta una descripción simplificada de ambas transiciones que se apoya en este modelo. Se ha asumido que las transiciones son secuenciales, lo que quiere decir que el encendido/apagado del SJ-FET no comienza hasta que finaliza el encendido/apagado del LV-FET. Como se explica en [6] esto no es completamente cierto puesto que la transición del SJ-FET siempre comienza antes de que se complete totalmente la transición del LV-FET. Sin embargo, simplifica mucho la explicación y no entra en conflicto con el estudio energético que se detalla en los siguientes apartados y que constituye el principal objetivo de este trabajo.

Transición de Encendido

Antes del comienzo de la transición del encendido, ambos MOSFETs se comportan como circuitos abiertos y la corriente de la carga inductiva (I_L) fluye por el diodo de libre circulación D . El paso de la tensión de salida del *driver* de estado bajo a alto marca el inicio de la transición.

1) *Encendido del LV-FET*: El *driver* carga la C_{GSLV} y descarga C_{DGLV} . De esta forma, la tensión puerta-fuente de dicho dispositivo (v_{GSLV}) comienza a subir hasta que alcanza el umbral. A partir de ese instante el canal del LV-FET pasa a comportarse como una fuente de corriente dependiente de v_{GSLV} que descarga C_{DSL} y carga C_{GSHV} con un cierto retraso debido a L_{PAR} . La explicación se simplifica considerando que C_{DSL} se descarga completamente y el canal del LV-FET alcanza el comportamiento resistivo sin que el SJ-FET haya sufrido ningún cambio significativo.

2) *Encendido del SJ-FET*: Una vez que el proceso de encendido del LV-FET ha finalizado, la fuente de tensión auxiliar V_A comienza a cargar C_{GSHV} . Es importante señalar que dicha carga no se ve afectada por el efecto Miller puesto que C_{DGHV} permanece clampeada debido a que el diodo D permanece en estado de conducción. Una vez que v_{GSHV} alcanza el valor umbral, el canal de dicho dispositivo comienza a comportarse como una fuente de corriente dependiente de dicha tensión. A medida que v_{GSHV} sube, el canal admite el paso de más corriente, la cual se va extrayendo de la carga inductiva. De esta forma el diodo de libre circulación D cada vez conduce menos corriente, siendo el siguiente punto a destacar el instante en que toda la corriente de la carga inductiva atraviesa el canal del SJ-FET. A partir de ese momento, por el canal de SJ-FET circula la corriente de la carga inductiva más una corriente extra que descarga

C_{DSHV} y C_{DGHV} . La transición del encendido finaliza con la descarga completa de estas dos capacidades. Es importante señalar que en este artículo se ha considerado que el diodo D es ideal y que por tanto es capaz de dejar de conducir instantáneamente (no hay efecto de recuperación inversa).

Transición de Apagado

Antes de que la transición del apagado comience, SJ-CC conduce la corriente I_L , la cual fluye a través del canal de los dos MOSFETs, mientras que D bloquea V_0 . El paso de la tensión de salida del driver de estado alto a bajo marca el inicio de la transición.

1) *Apagado del LV-FET*: El driver descarga C_{GSLV} y carga C_{DGLV} , de tal forma que v_{GSLV} comienza a disminuir provocando que el canal del LV-FET pase a comportarse como una fuente de corriente dependiente de v_{GSLV} y, a continuación, como un circuito abierto.

2) *Apagado del SJ-FET*: La corriente de la carga inductiva que deja de atravesar el canal del LV-FET carga C_{DSL} y descarga C_{GSHV} . Cuando v_{GSHV} cae hasta un cierto valor, el canal del SJ-FET comienza a comportarse como una fuente de corriente dependiente de v_{GSHV} . La parte de la corriente de la carga inductiva que no atraviesa el canal del SJ-FET se emplea en cargar C_{DSHV} y C_{DGHV} . La corriente que atraviesa la primera de las capacidades junto con la que atraviesa el canal continúan cargando C_{DSL} y descargando C_{GSHV} . Existe un instante en que v_{GSHV} cae por debajo del umbral, por lo que el canal pasa a comportarse como un circuito abierto y toda la corriente de la carga inductiva se reparte entre C_{DSHV} y C_{DGHV} . De nuevo, la carga de C_{DSL} y la descarga de C_{GSHV} continúan aprovechando la corriente que atraviesa C_{DSHV} . El siguiente evento a destacar es el instante en que v_{DSL} alcanza un valor que provoca la entrada en avalancha del diodo parásito de dicho dispositivo, provocando que v_{GSHV} quede fijado a su valor final ($V_A - V_{AV}$). A partir de dicho momento, la corriente de la carga inductiva carga C_{DSHV} y C_{DGHV} . Esta parte de la transición es especialmente relevante pues como se ve en la Fig. 3(a), la parte de la corriente de la carga inductiva que carga C_{DSHV} también atraviesa el diodo en avalancha del LV-FET, lo cual puede generar importantes pérdidas. La transición del apagado junto con el estado de avalancha finaliza cuando la tensión drenador-fuente del SJ-FET (v_{DSHV}) alcanza su valor final ($V_0 - V_{AV}$) (ver la Fig.

3(b)), momento en que el diodo de libre circulación se polariza directamente y comienza a conducir la corriente I_L .

III. ANÁLISIS ENERGÉTICO

A. Fuentes de Pérdidas para un SJ-FET Controlado Directamente y en Configuración en Cascodo

En (1) se expresa la energía que disipa durante la conmutación un SJ-FET controlado directamente (E_{DSW}) como la suma de la energía que se disipa por convivencia de tensión y corriente en el canal del dispositivo durante las dos transiciones (E_{DON} y E_{DOFF}) más la energía disipada en la resistencia de puerta (E_{DRg}) al cargar y descargar la capacidad equivalente de entrada. Por otra parte, en (2) se expresa la energía disipada por un SJ-CC durante la conmutación (E_{CCSW}) como la suma de la energía disipada en el canal del SJ-FET y del LV-FET en ambas transiciones (E_{CCHVON} , $E_{CCHVOFF}$, E_{CCLVON} y $E_{CCLVOFF}$), la energía disipada en la resistencia de puerta del LV-FET (E_{CCLVRg}) y en la resistencia de puerta del SJ-FET (E_{CCHVRg}) y durante la avalancha del LV-FET (E_{CCAval}).

$$E_{DSW}[J] = E_{DON}[J] + E_{DOFF}[J] + E_{DRg}[J] \quad (1)$$

$$E_{CCSW}[J] = E_{CCHVON}[J] + E_{CCHVOFF}[J] + E_{CCLVON}[J] + E_{CCLVOFF}[J] + E_{CCHVRg}[J] + E_{CCLVRg}[J] + E_{CCAval}[J] \quad (2)$$

En general, la mayor parte de las pérdidas de conmutación en un MOSFET de potencia controlado directamente se deben a la convivencia de tensión y corriente que se produce en el canal del dispositivo durante las dos transiciones. En el caso de SJ-CC, las pérdidas de conmutación del LV-FET son despreciables, siendo el dispositivo de alta tensión el que genera más pérdidas por convivencia de tensión y corriente en su canal, resultando despreciables las que se producen en la resistencia interna de puerta. Teniendo en cuenta estas consideraciones, las expresiones (1) y (2) se pueden aproximar por (3) y (4) respectivamente. En (5) se expresa el ahorro energético en conmutación (AE_{CCSW}) que se consigue al emplear SJ-CC en lugar del mismo SJ-FET controlado directamente como el ahorro energético logrado por convivencia de tensión y corriente en el canal del SJ-FET en ambas transiciones (AE_{ON} y AE_{OFF}) menos la energía disipada durante la avalancha del LV-FET.

$$E_{DSW}[J] \cong E_{DON}[J] + E_{DOFF}[J] \quad (3)$$

$$E_{CCSW}[J] \cong E_{CCHVON}[J] + E_{CCHVOFF}[J] + E_{CCAval}[J] \quad (4)$$

$$AE_{CCSW}[J] \cong AE_{ON}[J] + AE_{OFF}[J] - E_{CCAval}[J] \quad (5)$$

Como se demostrará en el apartado III.C, el SJ-CC reduce el tiempo de convivencia en ambas transiciones, pero sobre todo durante el encendido ($AE_{ON} \gg AE_{OFF}$), motivo por el cual se obtiene un mejor comportamiento en conmutación con esta

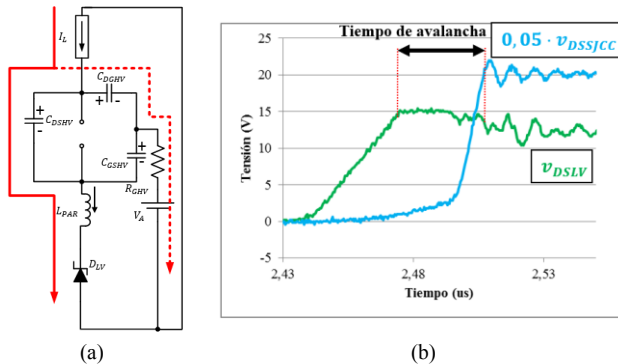


Fig. 3. Detalle de la avalancha de LV-FET durante el apagado del SJ-CC. (a) Circuito equivalente del modelo de la Fig. 2 durante la parte del apagado en que la corriente de la carga inductiva carga las capacidades drenador-fuente y drenador-puerta del SJ-FET mientras que el LV-FET permanece en avalancha. (b) Formas de onda experimentales de la tensión drenador-fuente del LV-FET y drenador-fuente total del cascodo (escalada).

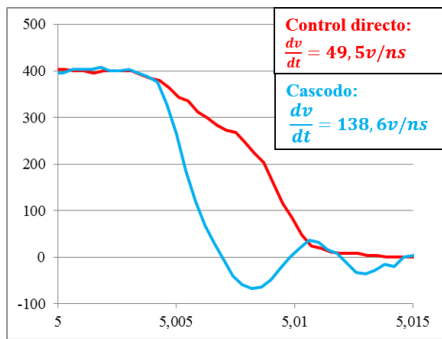


Fig. 4. Comparativa de las formas de onda experimentales de la tensión drenador-fuente total durante el encendido de un mismo SJ-FET controlado directamente y en cascodo.

configuración. En la Fig. 4 se puede ver una comparativa de las formas de onda experimentales de la tensión drenador-fuente total durante el encendido al emplear un mismo SJ-FET controlado directamente y en cascodo. Sin embargo, la entrada en avalancha del diodo parásito del LV-FET durante el apagado del interruptor supone una fuente de pérdidas de conmutación adicional que en los casos en que la selección del LV-FET y del SJ-FET que constituyen el cascodo no es adecuada, penaliza en gran medida la mejora alcanzable, pudiendo darse la situación de que dichas pérdidas tengan mayor peso que la mejora del encendido bajo ciertas condiciones de operación del interruptor.

Respecto a las pérdidas en conducción, en el caso del SJ-CC van a ser ligeramente superiores debido a que a la propia resistencia equivalente en estado pasante de SJ-FET se añade la de LV-FET, que típicamente es un orden inferior. Sin embargo, es importante destacar que debido a que el SJ-FET del SJ-CC disipa menos potencia durante la conmutación y la misma en conducción, el aumento de la resistencia equivalente en estado pasante por autocalentamiento va a ser menor que en el caso de controlar directamente.

B. Factores que Provocan el Buen Comportamiento en Conmutación

La gran reducción del tiempo de convivencia que logra el SJ-CC durante el encendido se debe a que la carga de la capacidad puerta-fuente del MOSFET de Super Unión se realiza con mayor rapidez. Esto implica una reducción del tiempo de los dos estados durante los cuales existe convivencia de tensión y corriente durante el encendido:

- 1) El estado en que el canal soporta una tensión constante (C_{DSHV} está cargada) y la corriente por él sube desde 0 hasta el valor de la corriente de la carga inductiva. Durante este estado, el canal del SJ-FET se comporta como una fuente de corriente dependiente de v_{GSHV} . Como dicha tensión sube más rápido, el canal necesita menos tiempo para alcanzar la corriente.
- 2) El estado en que el canal conduce toda la corriente de la carga inductiva más una corriente extra que descarga C_{DSHV} . El valor de esa corriente extra aumenta según sube v_{GSHV} , puesto que el canal del SJ-FET sigue comportándose como una fuente de corriente dependiente de dicha tensión. Como en el caso de SJ-CC esta tensión crece más rápidamente, la corriente extra sube más deprisa y C_{DSHV} se descarga antes.

A continuación se recogen los motivos por los que se logra una carga más rápida de la capacidad puerta-fuente del SJ-FET

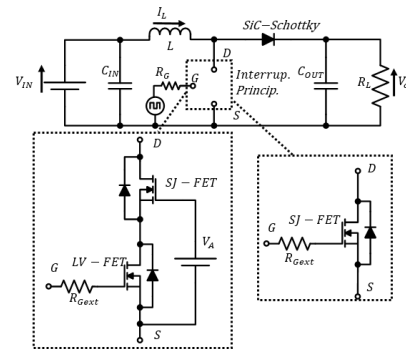


Fig. 5. Esquema circuital del convertidor elevador empleado en las simulaciones Mixed-Mode y en los resultados experimentales.

en el caso de utilizar la configuración en cascodo:

- 1) La resistencia que aparece en el camino por el que se carga C_{GSHV} incluye R_{DSONLV} (despreciable) y la propia resistencia interna de puerta de SJ-FET. La resistencia total constituye un elemento que, además de generar pérdidas adicionales, ralentiza la carga y descarga de C_{GSHV} . Si se controla directamente el SJ-FET, la resistencia que aparece en el camino de carga de la capacidad puerta-fuente es mayor puesto que incluye la resistencia interna de puerta, la resistencia de salida del driver y la resistencia de puerta externa que se añade para mitigar las sobreoscilaciones en la tensión puerta-fuente debida a la inductancia parásita que aparece en el camino.
- 2) En un SJ-CC no es necesario añadir una resistencia de puerta externa para el SJ-FET puesto que L_{PAR} se puede reducir hasta valores inferiores a 5nH incluso al utilizar dispositivos discretos para la implementación del SJ-CC. Por otra parte, la sobreoscilación debida a la inductancia que pueda existir entre la fuente de tensión V_A y la puerta del SJ-FET se puede reducir añadiendo una capacidad externa en paralelo con la fuente y cerca del dispositivo de alta tensión.
- 3) Como se adelantó en el apartado II, mientras el diodo de libre de circulación permanece en conducción, C_{DGHV} permanece clampeada y toda la corriente de puerta se aprovecha en cargar C_{GSHV} . De esta forma, la carga de la capacidad puerta-fuente del SJ-FET no se ve afectada por el efecto Miller.

C. Escenarios Beneficiosos para SJ-CC

En este apartado se estudian las condiciones en que el SJ-CC logra una mayor ventaja frente a controlar directamente el SJ-FET. El estudio se apoya en los resultados de simulaciones Mixed-Mode de un convertidor elevador de 100 V de entrada y 400 V de salida. En dicho convertidor, todos los elementos son ideales siendo el interruptor principal el único que incluye elementos parásitos. El ejercicio consiste en simular dicho convertidor empleando como interruptor principal un SJ-FET de 100 mΩ en cascodo con un LV-FET de 10 mΩ o bien el mismo dispositivo de Super Unión controlado directamente como interruptor principal (ver la Fig. 5). En ambos casos, la resistencia externa de puerta (R_G) del dispositivo que se controla mediante driver es de 6.8 Ω. En la Fig. 6 se muestran las energías que se disipan exclusivamente en el SJ-FET durante las dos transiciones tanto para el caso de control directo como de la configuración en cascodo en función de la corriente de la carga inductiva. Estas energías incluyen tanto la

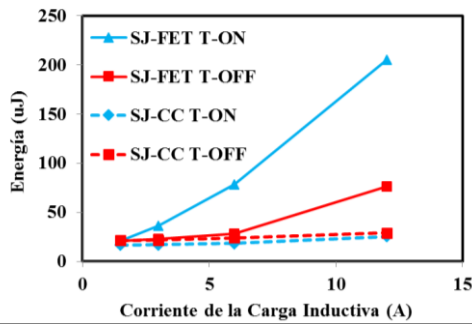


Fig. 6. Energía disipada en el SJ-FET durante las dos transiciones para el caso de control directo y para el de la configuración en cascodo.

disipación por convivencia de tensión y corriente en el canal del SJ-FET como la disipación en la resistencia de puerta (interna para SJ-CC e interna y externa para el caso de control directo) por la carga y descarga de la capacidad equivalente de entrada del MOSFET de alta tensión. Se puede observar que a medida que aumenta la corriente, crece la energía disipada, especialmente en el caso del encendido del SJ-FET controlado directamente. Por su parte, la configuración en cascodo, al presentar unos tiempos de convivencia de tensión y corriente en el canal mucho más cortos logra reducir la disipación. Es importante señalar que como se indicó en el apartado III.A, la mayor mejora del SJ-CC se da en el encendido, mientras que la del apagado únicamente es significativa a partir de cierta corriente. Hay que destacar el leve incremento de la disipación energética que aparece en el caso de SJ-CC: cuando la corriente es de 1,8 A, la disipación energética durante el apagado y el encendido es de 21,5 uJ y 16,5uJ respectivamente, mientras que para 12 A es de 28,8 uJ y 25,3 uJ.

En el caso del SJ-CC se debe tener en cuenta la energía adicional que se disipa en el LV-FET durante las transiciones y que incluye la debida a convivencia de tensión y corriente en el canal, la que aparece en la resistencia de puerta (interna y externa) debida a la carga y descarga de la capacidad equivalente de entrada del dispositivo y la que aparece durante la avalancha del dispositivo. Estas energías, mostradas en la Fig. 7, están entre 1 y 2 órdenes de magnitud por debajo de las del SJ-FET que completa la configuración en cascodo. Se puede observar que la disipación energética durante el apagado es superior y esto es debido a la avalancha.

Finalmente, en la Fig. 8 se muestra la potencia disipada por ambas configuraciones para dos frecuencias de conmutación e incluyendo las pérdidas de conducción. Al aumentar la corriente crecen tanto las pérdidas de conducción como las de conmutación. La clave que explica que el SJ-CC disipe menos

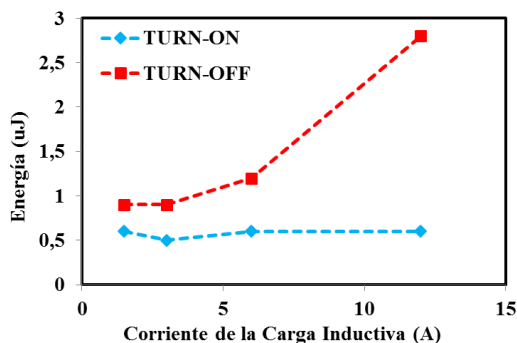


Fig. 7. Energía disipada en el LV-FET durante las dos transiciones para el caso de la configuración en cascodo.

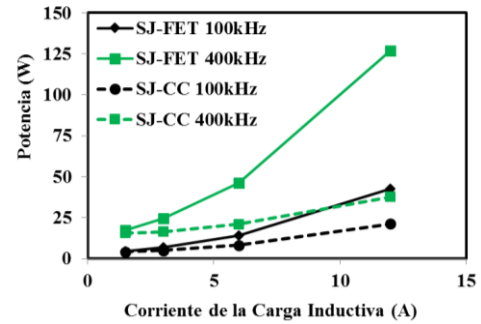


Fig. 8. Potencia total disipada en el SJ-FET controlado directamente y en el SJ-CC para dos valores de frecuencia de conmutación.

potencia al subir la corriente es que el beneficio que obtiene en conmutación supera la penalización que supone las pérdidas extra que se tiene en conducción. Por otra parte, al aumentar la frecuencia de conmutación para un mismo valor de corriente, únicamente suben las pérdidas de conmutación por lo que el SJ-CC logra disipar menos potencia gracias a su mejor comportamiento en conmutación.

IV. RESULTADOS EXPERIMENTALES DE RENDIMIENTO

A. Especificaciones del Convertidor

Para la validación experimental de los razonamientos expuestos en este artículo se implementó un convertidor elevador en el que el dispositivo bajo medida (DUT) es un SJ-CC o un SJ-FET directamente controlado. Las tensiones de entrada y salida son de 100 V y 400 V respectivamente. Respecto a la potencia, se han comparado puntos de operación en los que el convertidor maneja 180 W, 300 W, 400 W y 500 W, los cuales se logran variando la carga. Esto implica que las corrientes de la carga inductiva son de 1,8 A, 3 A, 4 A y 5 A. La bobina está diseñada para que el convertidor opere en modo de conducción continuo a todas las frecuencias de conmutación estudiadas (desde 100 kHz a 400 kHz). Además, el rizado de corriente es pequeño para que las dos transiciones se produjesen con una corriente similar y no penalizar a ninguna.

La implementación del SJ-CC se llevó a cabo mediante dispositivos de montaje superficial sobre una PCB independiente del convertidor. Como se muestra en la Fig. 9, en el punto en que se conecta la fuente de tensión V_A se ha añadido un condensador SMD para estabilizar dicha tensión. En la Tabla 1 se recogen las principales características de los dos MOSFETS utilizados para la implementación del SJ-CC. El resto de componentes que forman el convertidor son los mismos para todos los tests comparativos. El diodo de libre circulación es un SiC-Schottky de 600V que minimiza el efecto de

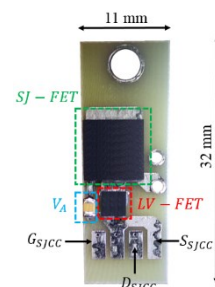


Fig. 9. Prototipo de SJ-CC implementado sobre una PCB independiente del convertidor elevador.

Tabla 1. Características principales del SJ-FET y del LV-FET utilizados en las pruebas experimentales.

	Ron (mΩ)	BVdss (V)	Rg (Ω)	Qg (nC)	Qgd (nC)	Vth (V)	Idmax (A)
SJ-FET	170	600	1	57	21	3	20,2
LV-FET	7,5	12	0,7	5,1	0,8	0,8	22

recuperación inversa. El *driver* seleccionado es el EL7104. La resistencia de puerta, conectada a al SJ-FET en el caso de controlar directamente y al LV-FET en el SJ-CC, es de 6.8 Ω. Las señales PWM aplicadas entre puerta y fuente son de 11V (7V en el caso del SJ-CC debido al LV-FET), al igual que V_A .

B. Medidas de Rendimiento

El rendimiento del convertidor ha sido obtenido a base de medir las tensiones y corrientes de entrada y de salida. A partir de esta medida sabemos las pérdidas totales que se producen en el convertidor, sin conocer qué parte exacta disipa el DUT. Sin embargo, como al realizar la comparativa únicamente se cambia el interruptor principal (SJ-FET controlado directamente o en cascodo), las diferencias que aparecen en esa potencia total solo pueden ser atribuidas al propio interruptor. Hay que señalar que en lo que respecta al DUT, con esta medida se tiene en cuenta las pérdidas de potencia por conducción y la parte más relevante de las de conmutación. Esto es, las debidas a la convivencia de tensiones y corrientes en el canal del SJ-FET y del LV-FET, y las pérdidas de avalancha del LV-FET. Además, también se tienen en cuenta otras pérdidas de conmutación mucho menos significativas como son las que aparecen en las resistencias de puerta al ser atravesadas por parte de la corriente de la carga inductiva. Las únicas pérdidas que no se tienen en cuenta, que como se señaló en el apartado III.C son poco significativas, son las que aparecen en las resistencias de puerta cuando el *driver* o la fuente V_A cargan las capacidades equivalentes de entrada de ambos MOSFETs.

En la Fig. 10 se muestra la potencia que se ahorra al utilizar el cascodo en lugar del control directo. Se puede apreciar que la comparativa ha sido realizada a distintas corrientes y frecuencias. Estos resultados validan los razonamientos detallados en el apartado III.C: al aumentar la corriente de la carga inductiva y la frecuencia de conmutación, la configuración en cascodo resulta más eficiente energéticamente. Hay que señalar que la comparativa en ciertas condiciones, como la operación a 400 kHz y 5 A, no ha podido ser realizada puesto que el SJ-FET controlado directamente era incapaz de soportar toda la potencia que tenía que disipar.

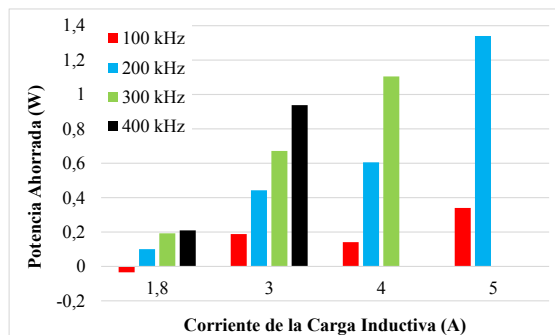


Fig. 10. Potencia ahorrada al emplear un mismo SJ-FET en CC en lugar de control directo al variar la frecuencia de conmutación y la corriente por la carga inductiva del convertidor.

V. CONCLUSIONES

A pesar de que la configuración en cascodo ha sido extensamente empleada en campos como la radiofrecuencia, dentro de la electrónica de potencia únicamente ha sido explorada con transistores de materiales de banda prohibida ancha o BJTs como dispositivo de alta tensión. En este artículo se justifica y demuestra que el cascodo utilizando un MOSFET de Super Unión también aprovecha el buen comportamiento en conmutación que ofrece esta configuración para obtener un ahorro energético respecto al control directo desde puerta.

Se ha concluido que la mejora es debida a que la carga de la capacidad puerta-fuente del dispositivo se realiza más rápidamente, reduciendo el tiempo de convivencia de tensión-corriente en el canal del dispositivo. Esto implica que a medida que se aumenta la frecuencia de conmutación, el ahorro energético conseguido respecto al control directo desde puerta crece. Por otra parte, el empleo de la configuración en cascodo también resulta más eficiente energéticamente al aumentar la corriente que atraviesa el interruptor. Esto se debe a que a pesar de presentar una resistencia en estado pasante levemente superior, la penalización por pérdidas de conducción extra tiene menor peso que el beneficio obtenido en conmutación.

AGRADECIMIENTOS

Trabajo realizado mediante la financiación del Ministerio de Educación, Cultura y Deporte a través de los proyectos DPI2013-47176-C2-2-R (DOC-ANRI), MINECO-15-DPI2014-56358-JIN y FC-15-GRUPIN14-143 (Grupin), la beca FPU con referencia FPU14/03268 y de los fondos FEDER.

REFERENCIAS

- [1] E. Persson, "Practical Application of 600 V GaN HEMTs in Power Electronics", Applied Power Electronics Conference and Exposition (APEC), Professional Education Seminar, 2015.
- [2] U. Mishra, "Compound Semiconductors; GaN and SiC, Separating Fact from Fiction in both Research and Business", Applied Power Electronics Conference and Exposition (APEC), Plenary Session, 2013
- [3] D. C. Sheridan, D. Y. Lee, A. Ritenour, V. Bondarenko, J. Yang, and C. Coleman, "Ultra-Low Loss 600V – 1200V GaN Power Transistors for High Efficiency Applications", Proc. Power Conversion Intelligent Motion Europe, pp. 330-337, 2014.
- [4] L. C. Murillo Carrasco, and A. J. Forsyth, "Energy Analysis and Performance Evaluation of GaN Cascode Switches in an Inverter Leg Configuration", Applied Power Electronics Conference and Exposition (APEC), pp. 2424-2431, 2015.
- [5] Artur Seibt, "Performance Comparisons of SiC Transistors, GaN Cascodes and Si – Coolmos in SMPS", Bodo's Power Systems, March 2015.
- [6] J. Rodríguez, J. Roig, A. Rodríguez, D. G. Lamar, and F. Bauwens, "Modeling the Switching Behaviour of SuperJunction MOSFETs in Cascode with a Low Voltage Silicon MOSFET", Control and Modelling for Power Electronics (COMPEL), June, 2016.
- [7] G. Lütteke, and H. C. Raets, "High Voltage High Frequency Class-E Converter Suitable for Miniaturization", Power Electronics Specialists Conference (PESC), pp. 54-61, 1984.
- [8] G. Lütteke, and H. C. Raets, "220 V MAINS 500 kHz CLASS-E CONVERTER USING A BIMOS", Power Electronics Specialists Conference (PESC), pp. 127-135, 1985.
- [9] D. Disney, and G. Dolny, "JFET Depletion in SuperJunction Devices", Proc. Int. Symp. Power Semiconduct. Devices IC's, pp. 157-160, 2008.
- [10] J. Rodríguez, J. Roig, A. Rodríguez, I. Castro, D. G. Lamar, and F. Bauwens, "SuperJunction Cascode, a Configuration to Break the Silicon Switching Frequency Limit", Energy Conversion Congress and Exposition (ECCE), September, 2016.