

Análisis del funcionamiento de un IGBT en configuración cascodo

Abraham López, Juan Rodríguez, María R. Rogina y Alberto Rodríguez

Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (e-mail: lpezabraham@gmail.com)

Edificio Departamental Nº 3. Campus Universitario de Viesques. 33204 Gijón. España

Resumen: Este artículo se centra en el análisis de la configuración en cascodo formada por un IGBT como dispositivo de alta tensión, y un MOSFET de baja tensión. Para llevar a cabo este análisis, esta configuración en cascodo será comparada con una configuración individual, en la cual se emplea el mismo IGBT directamente controlado a través de su puerta. La comparación se lleva a cabo en términos del comportamiento en conmutación por parte de ambas configuraciones, de un análisis de las pérdidas presentes en ambos interruptores durante las transiciones de encendido y apagado y una comparativa del rendimiento alcanzado cuando se emplean ambos dispositivos en un convertidor elevador. Todos los resultados experimentales, presentes en este artículo, se han obtenido empleando un convertidor elevador operando en modo de conducción continuo, donde se fijan las tensiones de entrada y salida a 200 V y 400 V respectivamente. El rango de potencias manejadas por el elevador se ha variado entre 1 kW y 5 kW y las frecuencias de conmutación empleadas han sido de 20 kHz, 50 kHz y 100 kHz.

Palabras clave: Cascodo; IGBT; Rendimiento; Pérdidas en conmutación.

I. INTRODUCCIÓN

En la actualidad, se han propuesto numerosos análisis de la configuración en cascodo para lograr interruptores de potencia comerciales normalmente abiertos, basados en Nitruro de Galio (GaN) y Carburo de Silicio (SiC) [1][2]. El uso de estos interruptores de potencia basados en materiales de banda prohibida ancha (WBG) permite una considerable reducción de los tiempos de conmutación [3]. Sin embargo, trabajos recientes [4] sugerían la idea de que parte de estas mejoras se debían sobre todo a la propia configuración en cascodo en la que un MOSFET de Silicio de baja tensión es el encargado de proporcionar la conmutación global del interruptor. [5] y [6] plantean el estudio de la configuración en cascodo formada íntegramente por dispositivos de Silicio, con un MOSFET de Superunión (SJ-FET) como componente de alta tensión y un MOSFET de baja tensión (LV-FET).

La idea de este artículo se basa en poder ir un paso más allá y tratar de emplear la configuración en cascodo con dispositivos pensados para trabajar a altas potencias, como son los IGBTs. Estos dispositivos están pensados para el uso industrial en aplicaciones de altas potencias (superiores a los 5 kW), altas tensiones (típicamente por encima de los 400 V) y para frecuencias de conmutación bajas (alrededor de 10 kHz).

Así pues, se plantea el estudio de una configuración en cascodo, formada por un IGBT como dispositivo de alta tensión, y un MOSFET de baja tensión (LV-FET), tal y como se puede ver en la Fig. 1 (identificando la nomenclatura de sus terminales). En este artículo se analizan las conmutaciones de dicha configuración en cascodo, y se comparan con la configuración, en la que se controla directamente la puerta del IGBT (configuración individual). También se analizan los rendimientos alcanzados con ambas configuraciones, cuando se encuentran trabajando como interruptor principal en un convertidor elevador. Además, se lleva a cabo un estudio comparativo de las pérdidas que se pueden llegar a generar en las conmutaciones al emplear ambas configuraciones.

Este artículo se organiza de la siguiente manera. En el apartado II, se describe, de una manera resumida y esquemática, la estructura y el comportamiento de la configuración en cascodo estudiada en este artículo, formada por el IGBT y por el LV-FET. En el apartado III se presentan los resultados experimentales, donde se hace un estudio de las pérdidas presentes en un convertidor elevador en el que se utilizan ambas configuraciones como interruptor principal, una comparativa de los rendimientos alcanzados por el convertidor elevador al emplear ambos interruptores y un análisis de las formas de onda de las transiciones en el IGBT y en el cascodo. Finalmente, en el apartado IV se recogen las principales conclusiones de este artículo.

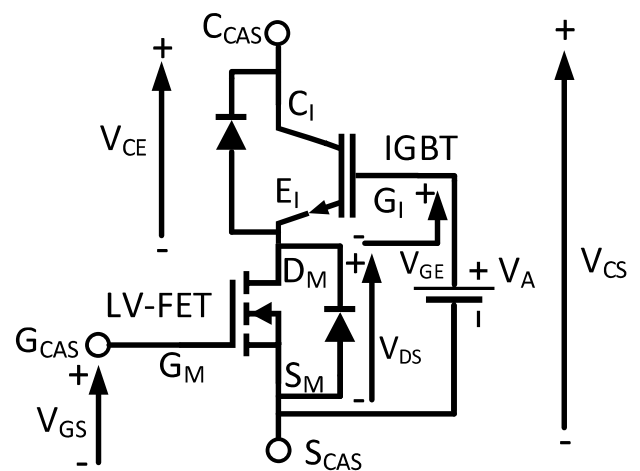


Fig. 1. Esquema circuital de la conexión en cascodo de un IGBT con un LV-FET

II. ESTRUCTURA Y FUNCIONAMIENTO DEL CASCODO CON IGBT

A. Principio de operación durante el encendido y el apagado

En la topología propuesta, un IGBT funcionando como dispositivo de alta tensión y un MOSFET de baja tensión de Silicio forman la configuración en cascodo. El nivel de tensión constante V_A , en la puerta del IGBT se necesita para polarizar el IGBT durante el encendido, consiguiendo de esta forma que el IGBT funcione como un dispositivo normalmente cerrado. Como se puede ver en la Fig. 1, aunque la configuración en cascodo esté formada por dos dispositivos, el comportamiento del conjunto se puede considerar como un solo interruptor normalmente abierto con tres terminales, una puerta (G_{CAS}), un colector (C_{CAS}) y una fuente (S_{CAS}).

El LV-FET está controlado por una señal modulada en ancho de pulso (PWM), de tal manera que el nivel de tensión entre puerta y fuente en dicho componente está determinado por los valores de tensión de la señal PWM (-5 V y 15 V).

Durante el apagado, el IGBT se encarga de soportar la mayor parte de la tensión de salida, mientras que el LV-FET soportará un nivel de tensión menor o igual a la tensión de avalancha de su diodo parásito (V_{AV}). Durante el apagado, el valor inferior de la señal PWM (-5 V) será el que determine la tensión puerta-fuente del LV-FET (V_{GS}), mientras que el valor de la tensión entre puerta y emisor del IGBT (V_{GE}) será igual a la diferencia entre el nivel de tensión constante V_A , y la tensión de avalancha del diodo parásito del LV-FET ($V_A - V_{AV}$), siendo esta diferencia menor de cero Voltios.

Durante el encendido, el valor superior de la señal PWM (15 V) será el que determine la tensión entre puerta y fuente del LV-FET, mientras que el valor entre puerta y emisor del IGBT (V_{GE}) será la diferencia entre el nivel de tensión constante V_A , y la caída de tensión en conducción en el LV-FET (nivel que será muy pequeño, debido al reducido valor de la resistencia en conducción del LV-FET). Durante esta etapa, al circuito equivalente de encendido del IGBT se le debe añadir en serie la resistencia en conducción del LV-FET, lo que incrementa ligeramente las pérdidas de conducción.

B. Breve descripción de las transiciones de encendido y apagado en el cascodo

En la Fig. 2 se muestran, de manera esquemática, las principales formas de onda, descritas en esta sección para el proceso de encendido y de apagado de la configuración en cascodo, operando como interruptor principal de un convertidor elevador (conmutación inductiva).

Transición de encendido:

Intervalo $[t_0, t_1]$: Antes de empezar con el encendido, tanto el IGBT como el LV-FET son circuitos abiertos, de tal manera que la corriente se encuentra circulando por el diodo de salida del convertidor elevador y la tensión de control (V_{GS}) se encuentra en su nivel mínimo (-5 V). La tensión V_{GS} empieza a crecer hasta alcanzar el valor de su tensión umbral (V_{TH}).

Intervalo $[t_1, t_2]$: A partir del valor de la V_{TH} , alcanzado en el intervalo anterior, se forma el canal y empieza a caer el valor de la tensión soportada por el LV-FET (V_{DS}).

Intervalo $[t_2, t_3]$: Al comienzo de este intervalo, el valor de la tensión V_{DS} ya ha llegado a 0 V, y por tanto la tensión de puerta del IGBT supera su tensión umbral y la corriente de colector (I_C) empieza a circular por el canal incrementando su valor. Al final de este intervalo, la corriente de colector (I_C) ya ha llegado a su valor máximo.

Intervalo $[t_3, t_4]$: El nivel de tensión (V_{CE}) que se había mantenido constante durante todo el encendido, empieza a caer en el momento en el que la I_C ya ha alcanzado su valor máximo. A partir de ahí, el valor de V_{CE} continúa cayendo hasta alcanzar los 0 V al final de este intervalo. Finalmente, el tiempo de convivencia entre tensión y corriente en el encendido, viene determinado por T_{PE} , indicando por tanto el período de tiempo en el que se producen las pérdidas de conmutación en esta transición.

Transición de apagado:

Intervalo $[t_5, t_6]$: La corriente I_C circula por el interruptor, la señal de control (V_{GS}) está en su nivel superior (15 V), y tanto el LV-FET como el IGBT se comportan siguiendo sus circuitos equivalentes de conducción. Al final de este intervalo, el nivel de tensión V_{GS} desciende hasta alcanzar el nivel de la zona Miller, momento a partir del cual, el valor de la tensión V_{DS} empezará a crecer.

Intervalo $[t_6, t_7]$: Al principio de este intervalo, el valor de la tensión V_{DS} crece hasta alcanzar el valor de su tensión de avalancha. De esta forma, el LV-FET permanecerá en este estado durante el tiempo que dure dicha avalancha (T_{AV}). Como se detallará en la Sección III, es interesante minimizar el mencionado T_{AV} . A lo largo de este intervalo, la tensión colector-emisor (V_{CE}) empezará a subir hasta alcanzar su nivel máximo al final del mismo, momento en el cual, empezará a caer la I_C .

Intervalo $[t_7, t_8]$: En este intervalo el nivel de tensión V_{DS} se estabiliza, tras el período de tiempo que dura la avalancha. La I_C cae hasta su nivel mínimo al final de este intervalo, al mismo tiempo que la tensión soportada V_{CE} se mantiene constante. Finalmente, al igual que ocurría con el encendido, existe un período de tiempo, determinado en este caso por T_{PA} en el cual, se produce la convivencia entre tensión y corriente, generando las pérdidas de conmutación en el apagado.

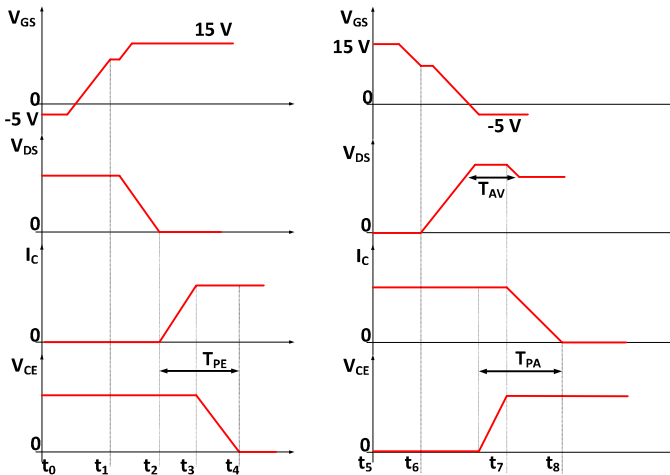


Fig. 2. Principales formas de onda del encendido (izquierda) y el apagado (derecha) de la configuración en cascodo

III. RESULTADOS EXPERIMENTALES

Para la validación experimental de los resultados presentes en este artículo, se ha empleado un convertidor elevador, donde el dispositivo bajo medida es la configuración individual o la configuración en cascodo. Este convertidor opera siempre en modo de conducción continuo (MCC), con un rizado de corriente muy pequeño para tener prácticamente la misma corriente en ambas transiciones. En la Fig. 3, se puede ver una representación de la topología del convertidor elevador empleada, junto con las diferentes configuraciones de interruptor que se comparan. En la Tabla I, se muestran las principales características del convertidor elevador, y de los dispositivos que forman ambos interruptores.

En el proceso de diseño del convertidor elevador se ha buscado minimizar las pérdidas, para poder observar pequeñas diferencias de pérdidas, relativas al uso del cascodo y del IGBT de manera individual. Para cumplir con este objetivo, se ha seleccionado un diodo de SiC para eliminar las pérdidas de recuperación inversa y se ha diseñado una inductancia con bajas pérdidas pero no optimizada en tamaño.

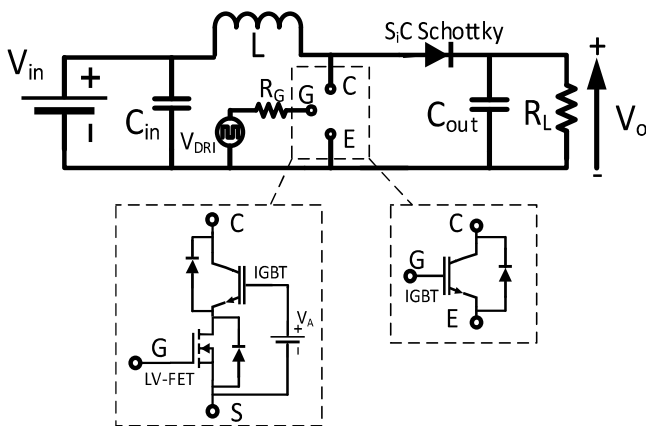


Fig. 3. Esquemático del convertidor elevador utilizado, junto con las configuraciones de interruptor analizadas

Tabla I. Características del convertidor elevador empleado

Tensión de entrada (V_{in})	200 V
Tensión de salida (V_o)	400 V
Condensador de entrada (C_{in})	1 μ F
Condensador de salida (C_{out})	10 μ F
Inductancia (L)	1 mH
Resistencia de puerta (R_G)	5 Ω
Tensión polarización IGBT (V_A)	15 V
Potencia (P)	1 kW – 5 kW
Resistencia de carga (R_L)	160 Ω - 32 Ω
Frecuencia de conmutación (F_{SW})	20 kHz – 100 kHz
Driver	IXD609
Diodo de SiC	SCS220KG
IGBT	IRG4PC50UDP
LV-FET	IPB100N04S4H2

Las pruebas que se han realizado se pueden dividir en tres secciones que se detallarán a continuación. En primer lugar, un estudio de las pérdidas presentes en el convertidor elevador, prestando especial énfasis en las conmutaciones, al emplear la configuración individual y el cascodo, así como también una comparativa de los rendimientos alcanzados por el convertidor elevador al emplear ambas configuraciones. Seguidamente, se mostrará un estudio de la reducción del tiempo de avalancha en el diodo parásito del LV-FET en la configuración en cascodo, analizando su efecto en el rendimiento obtenido al emplear dicha configuración. Finalmente, se mostrarán formas de onda comparativas de las conmutaciones tanto en la configuración individual como en el cascodo.

A. Modelo de pérdidas en configuración individual y cascodo

En este apartado, se presentarán modelos empíricos de pérdidas para la configuración individual y el cascodo. Estos modelos serán comparados con los rendimientos obtenidos de forma experimental por el convertidor elevador al trabajar con el IGBT directamente controlado, y con el cascodo. El rendimiento se ha obtenido midiendo las tensiones y corrientes de entrada y salida en el convertidor elevador (las pérdidas debidas al driver se consideran despreciables). De esta forma, serán tenidas en cuenta las pérdidas debidas a la convivencia de tensión y de corriente en el IGBT y en el LV-FET, y las pequeñas diferencias debidas a las pérdidas en conducción.

Para las diferentes pruebas realizadas solo se cambia el dispositivo bajo medida (interruptor en cascodo o individual) en el convertidor elevador. De esta forma, como todos los demás componentes en el convertidor son los mismos para ambas configuraciones, las diferencias en rendimientos solo serán debidas al propio interruptor bajo medida estudiado. En el caso de las pérdidas en conducción, aquellas presentes en el LV-FET deben ser añadidas a las pérdidas en conducción generadas en el IGBT, al estar ambos dispositivos en serie. En general, las pérdidas en conducción en el LV-FET son prácticamente despreciables debido al reducido valor de su resistencia en conducción ($R_{DS(on)}$).

En lo que respecta a las pérdidas en conmutación, son debidas sobre todo a la convivencia de tensión y corriente en el canal del dispositivo durante las transiciones y se han calculado usando las energías estimadas en (1) - (3). En este caso, al estar trabajando con un IGBT será necesario contar con el comportamiento que dicho componente presenta en el proceso de apagado, en lo que respecta a la corriente por el colector (I_c). Durante este proceso, además de producirse en primer lugar el apagado del MOSFET que forma parte de la estructura interna del IGBT, también ha de extinguirse la corriente del transistor PNP presente en dicha estructura, lo cual genera una “cola de corriente” en el colector. En este artículo, se ha seleccionado un IGBT especialmente pensado para operar a altas frecuencias, donde este efecto se reduce de forma considerable.

$$E_{PA_{IGBT}} = \frac{1}{2} \cdot V_{CE} \cdot I_c \cdot t_{PA} \quad (1)$$

$$E_{PA_{cascodo}} = E_{PA_{IGBT}} + V_{DS} \cdot I_c \cdot t_{AV} \quad (2)$$

$$E_{PE_{IGBT}} = E_{PE_{cascodo}} = \frac{1}{2} \cdot V_{CE} \cdot I_c \cdot t_{PE} \quad (3)$$

Estas pruebas se han basado en analizar las transiciones de encendido y apagado por parte de ambas configuraciones con el objetivo de poder analizar los intervalos de tiempo donde se aprecia convivencia de tensión y corriente para poder obtener así una estimación numérica de las pérdidas tanto en el encendido como en el apagado, en ambas configuraciones. En la Tabla II se puede ver una comparativa de las pérdidas en conmutación tanto en el encendido como en el apagado al emplear la configuración individual y el cascode, para una frecuencia de conmutación de 50 kHz. Como se puede observar en la Tabla II la configuración en cascode presenta menores pérdidas de conmutación en el encendido frente a la configuración que emplea un solo IGBT. También se puede ver cómo las pérdidas presentes en el LV-FET son menores, aunque no despreciables en el apagado, siendo el IGBT el dispositivo que presenta las mayores pérdidas en conmutación, debido a la coexistencia de tensión y corriente en dichas transiciones.

Esta comparativa de resultados muestra el mejor comportamiento en el proceso de encendido, que presenta la configuración en cascode, frente a la individual. Para analizar los rendimientos alcanzados por el convertidor elevador al emplear las configuraciones individual y en cascode, se compararán los resultados experimentales obtenidos al emplear el convertidor elevador descrito en la Tabla I, con los modelos de pérdidas desarrollados de forma teórica.

Para poder obtener estos modelos de pérdidas se han calculado de forma teórica las pérdidas debidas a la conducción y conmutación de los elementos que forman las configuraciones estudiadas. En lo que respecta a las pérdidas en conmutación obtenidas de forma teórica para el caso del cascode, se han modificado los tiempos de conmutación en función de los resultados empíricos obtenidos tras el análisis de las formas de onda de las transiciones.

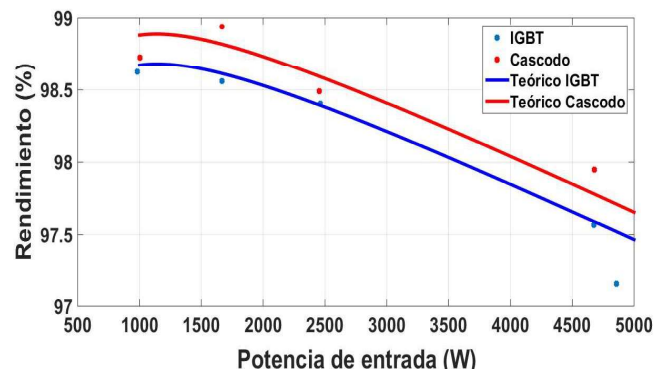


Fig. 4. Comparativa de rendimientos alcanzados por el convertidor elevador al emplear la configuración individual y el cascode, junto con los modelos teóricos elaborados a una frecuencia de 20 kHz

Tabla II. Comparativa analítica de las pérdidas en conmutación entre la configuración individual y el cascode para una potencia de 1 kW y una frecuencia de conmutación de 50 kHz

	Individual	Cascodo		
		IGBT	LV-FET	Total
Apagado	4,961 W	4,482 W	1,174 W	5,656 W
Encendido	3,980 W	1,947 W	0,035 W	1,982 W

Dicho comportamiento presente en el modelo teórico se corrobora en base a los resultados presentes al final de esta sección. En la Fig. 4, se puede observar una comparativa de los rendimientos al emplear ambas configuraciones, así como también los rendimientos previstos en base a los modelos teóricos elaborados. El rendimiento alcanzado por el convertidor elevador al emplear la configuración en cascode es superior al alcanzado cuando se emplea un solo IGBT directamente controlado. Esta mejora en el rendimiento, que se hace más visible cuando se va incrementando la frecuencia de conmutación y las pérdidas en conmutación son más relevantes, verifica que el mejor comportamiento en conmutación exhibido por la configuración en cascode en el encendido, es suficiente para compensar las mayores pérdidas presentes en el apagado, así como también las mayores pérdidas en conducción presentes en el cascode, frente a cuando se emplea un solo IGBT.

B. Estudio de la reducción del efecto de avalancha en el diodo parásito del LV-FET

Como se ha mostrado en la Sección II, durante el proceso de apagado, el diodo parásito presente en el LV-FET en la configuración en cascode puede entrar en avalancha, de tal manera que la corriente que fluye a través del mismo, puede generar pérdidas importantes. En este apartado se analizará la posibilidad de reducir el tiempo en el que el LV-FET se encuentra en avalancha. Para ello, se comparan los rendimientos alcanzados al emplear la configuración en cascode cuando no se emplea ninguna técnica para la reducción de la avalancha en el diodo parásito del LV-FET, frente a cuando de alguna forma, se consigue evitar la presencia de la avalancha sobre dicho MOSFET.

Una posible forma de reducir estas pérdidas por avalanche se basa en conseguir que el proceso de carga de la capacidad parásita entre drenador y fuente del LV-FET sea más lento. Para conseguir esto, se incluye un condensador externo adicional (C_{DS}) entre drenador y fuente de dicho transistor con el objetivo de aumentar el valor de la capacidad de salida del mismo. Se han seleccionado diferentes valores de dicho condensador con el objetivo de analizar su efecto sobre el rendimiento alcanzado por el convertidor elevador para potencias comprendidas entre 1 kW y 5 kW y para frecuencias de conmutación de 20 kHz y 50 kHz respectivamente. Los valores seleccionados para el C_{DS} adicional han variado desde 1 nF hasta 5 nF, y lo que se ha podido comprobar es cómo a medida que el valor de este condensador aumenta, el tiempo de avalanche del diodo parásito se reduce, y por lo tanto las pérdidas por avalanche se van reduciendo, incrementando ligeramente el rendimiento en el convertidor elevador al emplear la configuración en cascodo.

Sin embargo, si el valor de C_{DS} se incrementa demasiado (5 nF), a medida que el tiempo de avalanche se va haciendo cada vez más pequeño, el tiempo de conmutación en el LV-FET se incrementa demasiado, llegando a afectar a la conmutación del IGBT, provocando una peor conmutación en general de la configuración en cascodo y por lo tanto una pérdida de rendimiento en el convertidor elevador.

En la Tabla III se puede ver cómo varía el rendimiento alcanzado por el elevador en función del valor del condensador C_{DS} escogido para una frecuencia de conmutación de 50 kHz. Se puede ver cómo el incremento de rendimiento más significativo, sin llegar a penalizar en exceso el comportamiento en conmutación del LV-FET ha sido con un C_{DS} de 3 nF.

En la Fig. 5 se presenta una comparativa de rendimientos del convertidor elevador con la configuración en cascodo cuando se emplea el C_{DS} de 3 nF escogido, frente a cuando no se emplea, para una frecuencia de conmutación de 20 kHz y para un rango de potencias comprendido entre 1 kW y 5 kW. Se observa una mejora del rendimiento en el convertidor elevador, cuando se emplea el condensador externo C_{DS} de 3 nF en la configuración en cascodo, y por lo tanto se evita el efecto de avalanche en el LV-FET. Tanto es así que para algunos puntos de funcionamiento (por ejemplo, 5 kW a 20 kHz, 4 kW a 50 kHz y 5 kW a 50 kHz), se producía la ruptura del interruptor en cascodo cuando no se hacía uso del condensador externo C_{DS} .

C. Comparativa del encendido y apagado entre la configuración individual y el cascodo

En esta sección se compararán las formas de onda de las transiciones de encendido y apagado entre la configuración individual y el cascodo, para una frecuencia de conmutación de 20 kHz y una potencia de 1 kW.

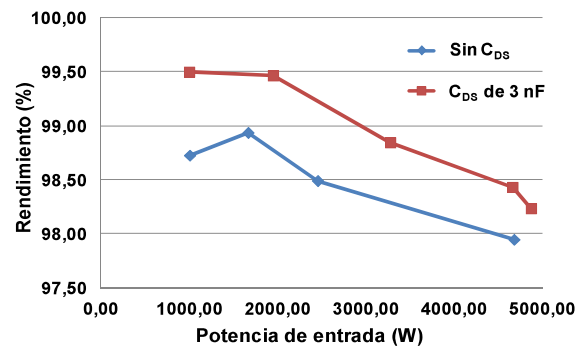


Fig. 5. Comparativa de rendimientos en la configuración en cascodo sin C_{DS} y con C_{DS} de 3 nF. Frecuencia de conmutación de 20 kHz

Tabla III. Evolución del rendimiento alcanzado por el convertidor elevador, en función del condensador externo C_{DS} escogido

C_{DS} (nF)	Rendimiento (%)
0 (Sin C_{DS})	98,518
1	98,603
2	98,669
3	98,744
4	98,739
5	97,986



Fig. 6. Representación del apagado en la configuración individual



Fig. 7. Representación del apagado en el cascodo



Fig. 8. Representación del encendido en la configuración individual



Fig. 9. Representación del encendido en el cascodo

A través de las Fig. 6, Fig. 7, Fig. 8 y Fig. 9 se corroboran los resultados y modelos teóricos que ya se han explicado a lo largo de esta sección. Por un lado, si se compara la Fig. 6 con la Fig. 7 se puede ver cómo la transición de apagado, es muy similar, siendo ligeramente más lenta en la configuración en cascodo frente a la configuración individual dando lugar por tanto a más pérdidas en esa transición al incrementar el tiempo de convivencia entre tensión y corriente (además de la posibilidad de la existencia de avalancha en el LV-FET). Por otro lado, en la Fig. 7 se puede ver cómo se ha conseguido eliminar el efecto de avalancha en el LV-FET al emplear el condensador externo adicional (C_{DS}) de 3 nF. En el caso del encendido, si se comparan la Fig. 8 y la Fig. 9 se puede observar cómo el encendido en el cascodo se hace más rápido frente a cuando se emplea un solo IGBT.

IV. CONCLUSIONES

En este artículo se ha presentado un interruptor de potencia en configuración cascodo basado en un IGBT como dispositivo de alta tensión. Para analizar su comportamiento, se ha comparado dicha configuración con otra en la que se emplea el mismo IGBT cuando trabaja directamente controlado a través de su puerta. Esta comparación ha sido llevada a cabo desde el punto de vista del rendimiento alcanzado por un convertidor elevador al emplear ambas configuraciones como interruptor principal, así como también, desde el punto de vista de las formas de onda observadas en las transiciones. Este modelo propuesto y su comportamiento

en conmutación, ha sido validado a través de una serie de resultados experimentales. Estos resultados muestran cómo en el caso de las pérdidas en conmutación, se consigue reducir las pérdidas presentes en el encendido cuando se emplea la configuración en cascodo, frente a la configuración directamente controlada. Dicho comportamiento se hace más claro en el rendimiento del elevador a medida que la frecuencia de conmutación se va haciendo cada vez mayor.

Seguidamente, se ha podido analizar una posible forma para reducir las pérdidas por avalancha en el diodo parásito del LV-FET. Se ha comprobado cómo a medida que se va aumentando el valor de la capacidad entre drenador y fuente del LV-FET, el tiempo de avalancha decrece, llegando a reducir las pérdidas por avalancha, y por tanto mejorando la eficiencia del convertidor elevador cuando se emplea el cascodo, frente a la configuración individual. De esta forma, para el cascodo estudiado, con un C_{DS} adicional de 3 nF se ha conseguido eliminar las pérdidas por avalancha presentes en el LV-FET. Finalmente, en lo que respecta a la comparativa de rendimientos alcanzados al emplear el IGBT directamente controlado y la configuración en cascodo, se ha visto cómo al emplear el cascodo se consigue una mejora en el rendimiento alcanzado por el convertidor elevador frente a cuando se emplea la configuración individual, debido al mejor comportamiento en conmutación que presenta el cascodo en el encendido y a la reducción de las pérdidas por avalancha en el LV-FET. Gracias a este mejor comportamiento en conmutación, se hace posible el poder emplear el cascodo para incrementar la frecuencia de conmutación del convertidor, manteniendo el mismo IGBT como dispositivo de alta tensión.

AGRADECIMIENTOS

Este trabajo ha sido financiado por el Ministerio de Economía a través del proyecto MINECO-17-DPI2016-75760-R, el proyecto DPI2014-56358-JIN, la beca FPU14/03268, la beca FPI BES-2014-070785 y el Gobierno del Principado de Asturias a través del proyecto SV-PA-17-RIS3-4 y los fondos FEDER.

REFERENCIAS

- [1] E. Persson, "Practical Application of 600V GaN HEMTs in Power Electronics", Applied Power Electronics Conference and Exposition (APEC), Professional Education Seminar, 2015.
- [2] Rodríguez, A.; Fernández Díaz, M.; Lamar, D.G.; Arias Pérez de Azpeitia, M.; Hernando, M.M.; Sebastian, J., "Switching Performance Comparison of the SiC JFET and SiC JFET/Si MOSFET Cascade Configuration," in Power Electronics, IEEE Transactions on , vol.29, no.5, pp.2428-2440, May 2014
- [3] José Millán; Philippe Godignon; Xavier Perpiñá; Amador Pérez-Tomás; José Rebollo, "A survey of wide bandgap power semiconductor devices", in Power Electronics, IEEE Transactions on, vol.29, no.5, May 2014.
- [4] Artur Seibt, "Performance Comparisons of SiC Transistors, GaN Cascodes and Si-Coolmos in SMPS", Bodo's Power Systems, March 2015.
- [5] J. Rodríguez, J. Roig, A. Rodríguez, D. G. Lamar, and F. Bauwens, "Evaluation of Superjunction MOSFETs in Cascade Configuration for Hard-Switching Operation", IEEE Transactions on Power Electronics, 2017.
- [6] J. Rodríguez, J. Roig, A. Rodríguez, I. Castro, D. G. Lamar, and F. Bauwens, "SuperJunction Cascade, a Configuration to Break the Silicon Switching Frequency Limit", Energy Conversion Congress and Exposition (ECCE), September, 2016.