

# Análisis de las pérdidas de conmutación en MOSFET de Silicio de Super-Unión con conmutación a tensión cero.

Maria R. Rogina<sup>1</sup>, Alberto Rodriguez<sup>1</sup>, Diego G. Lamar<sup>1</sup>, Manuel Arias<sup>1</sup>, Jaime Roig<sup>2</sup>.

<sup>1</sup>Grupo de Sistemas Electrónicos de Alimentación de la Universidad de Oviedo, Gijón, España

<sup>2</sup>On Semiconductor Belgium, Westerring 15, 9700 Oudenaarde, Bélgica

rodriguezmaria@uniovi.es

**Abstract**—Las pérdidas de energía más significativas en convertidores de potencia de alta frecuencia vienen dadas normalmente por las pérdidas de conmutación de los transistores. Las técnicas con conmutación suave permiten una reducción de dichas pérdidas, pero incluso en esas condiciones, las pérdidas pueden ser significativas a altas frecuencias de conmutación. En este trabajo, se evalúan y comparan MOSFET de Super-Unión especialmente diseñados para aplicaciones con conmutaciones suaves, trabajando a alta frecuencia en un convertidor resonante LLC. Se utilizan dos técnicas de simulación basadas en elementos finitos y circuitos analógicos para predecir las pérdidas de energía por conmutación que aparecen en los transistores. A diferencia de otros trabajos, y por primera vez, en este estudio se tienen en cuenta las pérdidas de energía relacionadas con la histéresis de la capacidad de salida de los MOSFET que tienen influencia en las pérdidas de conmutación. Finalmente, teniendo en cuenta esas pérdidas de energía, se propone una figura de mérito que facilita la selección de los dispositivos para aplicaciones con altas frecuencias de conmutación. Se aportan, además, medidas experimentales que validan el estudio propuesto.

## I. INTRODUCCIÓN

LOS convertidores resonantes son bien conocidos por sus interesantes ventajas, como por ejemplo la ausencia de grandes picos de sobretensión o corriente [1], la posibilidad de usar altas frecuencias de conmutación para aumentar la densidad de potencia o la baja emisión de Interferencia Electromagnética (del inglés, *ElectroMagnetic Interference* EMI) comparado con los convertidores tradicionales basados en Modulación por Ancho de Pulso (del inglés, *Pulse Width Modulation*, PWM). Debido a su extendida utilidad para diferentes propósitos, así como para distintos niveles de tensión y potencia, se han propuesto y evaluado en la literatura numerosas técnicas para mejorar su diseño y funcionamiento [2]. Durante los últimos años, la aceptación de convertidores resonantes LLC en el mercado ha sido masivo, especialmente en lo que respecta a adaptadores, televisiones planas, coches eléctricos e híbridos (EV/ HEV), *datacenters* e inversores fotovoltaicos (PV), entre otros [3]-[4] (Fig. 1). Además, los nuevos mercados se están centrando en el aumento de la frecuencia de conmutación para conseguir mayor densidad de potencia, llevando al dispositivo a su límite físico. Este es el caso de las tecnologías en Carburo de Silicio (SiC) y Nitruro de Galio (GaN), cuyo uso se está extendiendo en convertidores

LLC resonantes para baja potencia y alta frecuencia de conmutación, más allá de las conocidas aplicaciones de alta potencia.

Algunas de las fuentes de alimentación de las aplicaciones mencionadas tienen que pasar estándares de eficiencia muy estrictos [5], por lo que conseguir un rendimiento elevado supone un gran reto. Por eso es común el uso de topologías resonantes LLC que consigan una reducción en las pérdidas de conmutación y en el volumen, valiéndose de estrategias de conmutación a tensión cero (en inglés, *Zero Voltage Switching*, ZVS). Los transistores utilizados en el primario de estos convertidores deben soportar alta tensión y alta frecuencia y, por ello, deben escogerse adecuadamente para conseguir un buen rendimiento global. Sin embargo, la información dada por el fabricante a menudo no es suficiente para calcular todas las pérdidas de energía existentes. Por ejemplo, la tendencia real de la capacidad parásita de salida ( $C_{oss}$ ) del dispositivo tiene un papel importante en la pérdida de energía, incluso cuando se trabaja con ZVS.

En este trabajo, se evalúa el funcionamiento de diferentes MOSFET de Super-Unión (SJ-MOSFET) operando como interruptores en el primario de un convertidor resonante LLC y se comparan simulaciones y resultados experimentales. Además, por primera vez, se propone un modelo SPICE (del inglés, *Simulation Program with Integrated Circuits Emphasis*) en el que se tiene en cuenta como fuente de pérdida de energía la histéresis de la  $C_{oss}$ . Esto explica las pérdidas de conmutación

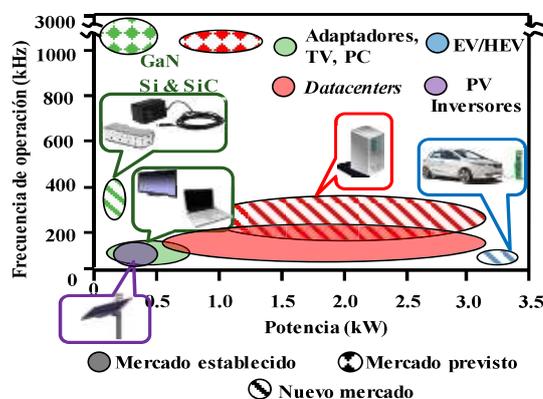


Fig. 1 Mercados de uso del convertidor LLC resonante para distintos rangos de frecuencia y carga.

que aparecen incluso con ZVS. Asimismo, se propone una figura de mérito (en inglés, *Figure of Merit*, FoM) que evalúa las pérdidas por conmutación y que es especialmente útil para seleccionar los SJ-MOSFET del primario del convertidor.

Este artículo se organiza de la siguiente manera: en la sección II se introduce la problemática de las pérdidas de conmutación operando con ZVS. En la sección III, se detallan los modelos de los transistores bajo test y las simulaciones *Mix-Mode* (MM) y SPICE. En la sección IV se comparan las simulaciones con los modelos de pérdidas y los resultados experimentales. Finalmente, en la sección V se propone una nueva FoM y en la sección VI se detallan las conclusiones extraídas.

## II. CONMUTACIONES SUAVES E HISTÉRESIS DE $C_{OSS}$

La correcta selección de los SJ-MOSFET de silicio (Si) necesarios para el convertidor LLC (Fig. 2) [6], es fundamental para obtener un alto rendimiento y reducir su coste y tamaño.

Sin embargo, incluso si la selección de los SJ-MOSFET se basa en las recomendaciones de los principales fabricantes para aplicaciones con convertidores resonantes con conmutaciones suaves, los dispositivos muestran ciertas pérdidas de energía de conmutación bajo condiciones ZVS ( $E_{SW\_SOFT}$ ). Esta energía  $E_{SW\_SOFT}$  ha sido obviada siempre en trabajos previos [6]-[7], aunque sí ha sido reportado un incremento inexplicable de  $E_{SW\_SOFT}$  bajo ciertas condiciones de trabajo [8]-[9]. Por ello, algunos modelos empezaron a tener en cuenta los efectos de  $C_{OSS}$  [10]-[11] y la operación en no ZVS [12] de los SJ-MOSFET, pero, aun así, los nuevos descubrimientos en cuanto a la histéresis de  $C_{OSS}$  no se tienen en consideración en los modelos de simulación [13]-[14].

En [15]-[16] se avanzó una relación física entre la histéresis de  $C_{OSS}$  y una pérdida de energía imprevista ( $E_i$ , que como se explicará, es la pérdida intrínseca asociada a la histéresis de  $C_{OSS}$ ), dilucidando la existencia de pérdidas de energía durante la carga y descarga de la  $C_{OSS}$  de SJ-MOSFET, tal y como se muestra en Fig. 3(a), (b) y (c) y se explica en [16].

$E_i$  puede no parecer significativa ante condiciones de conmutación dura, pero sí puede serlo con conmutaciones suaves, especialmente a baja y media carga, donde las pérdidas de conducción suelen ser bajas y cobran especial relevancia las pérdidas de conmutación, sobre todo, porque suele coincidir con frecuencias de conmutación más altas. Además, el grado de severidad con que puede afectar la histéresis de  $C_{OSS}$  varía en función del dispositivo dependiendo de cuestiones tecnológicas y geométricas del mismo.

## III. MODELADO Y RESULTADOS DE SIMULACIÓN PRELIMINARES

### A. Transistores

Los SJ-MOSFET de Si reúnen todos los requisitos de diseño de los convertidores resonantes normalmente utilizados en las aplicaciones de la Fig. 1, en cuanto a tensión, corriente y frecuencia de conmutación. Los dispositivos que han sido utilizados en este trabajo y sus principales características se detallan en la Tabla I.

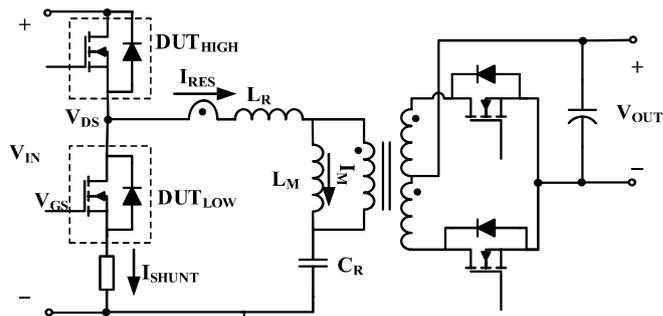


Fig. 2 Esquema circuital simplificado del convertidor resonante LLC indicando los métodos de sensado de la corriente utilizados.

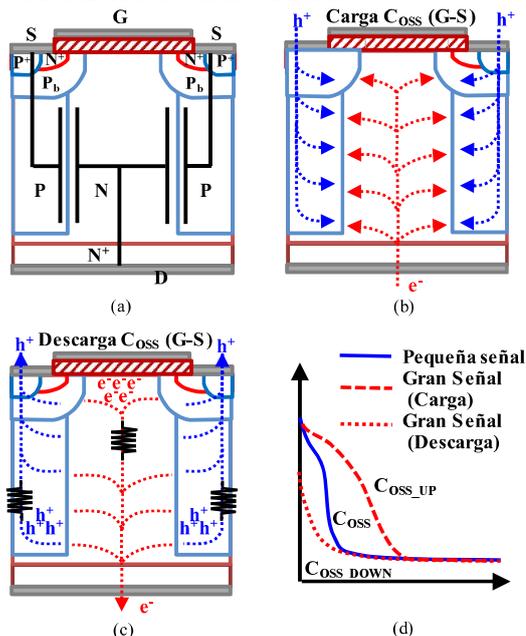


Fig. 3 (a) Sección transversal de una celda del SJ-MOSFET. (b) Descripción esquemática de la Carga de  $C_{OSS}$ . (c) Descarga de  $C_{OSS}$  indicando corrientes electrón ( $e^-$ ) y hueco ( $h^+$ ). (d) Comparación entre  $C_{OSS}$  en pequeña señal (línea sólida azul) y gran señal (línea punteada y a trazos rojos).

Las FoM tradicionales basadas únicamente en parámetros eléctricos tales como la resistencia de conducción  $R_{ON}$ ,  $C_{OSS}$  o la carga de salida del dispositivo,  $Q_{OSS}$ , no dan suficiente información acerca de las pérdidas de conmutación, sobre todo cuando se opera con ZVS. Además, las hojas de características proporcionadas por los fabricantes sólo incluyen la caracterización en pequeña señal de los transistores y no en gran señal, donde es detectable la histéresis de  $C_{OSS}$  (Fig. 3 (d)). Por tanto, resulta de gran utilidad la definición y validación de nuevas FoM que faciliten la selección de los transistores en las mencionadas condiciones de operación.

Tanto para las simulaciones como para los resultados experimentales, se han escogido SJ-MOSFET con el mismo rango de tensión de bloqueo ( $\sim 600V-650V$ ) y valores similares de  $R_{ON}$  y  $Q_{OSS}$ , con el objetivo de conseguir una comparación justa bajo unas mismas condiciones de trabajo.

La diferencia en el valor de la resistencia de puerta,  $R_G$ , no tiene gran importancia en este caso, ya que para todos los dispositivos escogidos ZVS está asegurado y por tanto las pérdidas de conmutación son independientes de  $R_G$ .

TABLA I LISTA DE SJ-MOSFET SELECCIONADOS PARA CONVERTIDOR LLC RESONANTE, PRINCIPALES CARACTERÍSTICAS Y FOM BÁSICAS.

SJ-MOSFET	R <sub>ON</sub> (mΩ)	BV <sub>DSS</sub> (V)	V <sub>TH</sub> (V)	R <sub>G</sub> (Ω)	Q <sub>G</sub> (nC)	Q <sub>GD</sub> (nC)	Q <sub>GS</sub> (nC)	E <sub>OSS</sub> (μJ)	Q <sub>OSS</sub> (nC)	R <sub>ON</sub> *Q <sub>G</sub> (Ω*nC)	R <sub>ON</sub> *Q <sub>GD</sub> (Ω*nC)	R <sub>ON</sub> *E <sub>OSS</sub> (Ω*μJ)	R <sub>ON</sub> *Q <sub>OSS</sub> (Ω*nC)
DUT1	155	600	3.5	0.9	24	8	5	2.7	140	3.7	1.2	0.4	21.7
DUT2	168	650	4	0.6	60	25	12	6.4	121	10.1	4.2	1.1	20.3
DUT3	171	600	4	3.4	37	13	11	4.9	106	6.3	2.2	0.8	18.1
DUT4	160	650	3.5	6	31	10	12	3.6	124	5.0	1.6	0.6	19.8
DUT5	175	600	3	7	29	12	6	4.6	122.4	5.1	2.1	0.8	21.4
DUT6	168	600	3	7	29	12	6	4.1	123.8	4.9	2.0	0.7	20.8

### B. Simulaciones Mix-Mode (MM)

Las simulaciones MM consisten en circuitos SPICE donde algunos elementos (en este caso los transistores) se reemplazan por estructuras basadas en elementos finitos (este software se denomina en inglés, *Technology Computer Aided Design*, TCAD), como se muestra en la Fig. 4 y en [16], donde HS-FET y LS-FET representan los SJ-MOSFET en formato TCAD. Los circuitos se resuelven por medio de ecuaciones físicas como Poisson o continuidad de la corriente, gracias a métodos iterativos, consiguiendo ajustar las condiciones frontera.

Asimismo, es importante mencionar que el transformador y el secundario del convertidor se han reemplazado con el fin de ahorrar tiempo de computación por una resistencia equivalente R<sub>AC</sub> calculada mediante la aproximación del primer armónico, la inductancia de magnetización L<sub>M</sub> y un parámetro de ajuste, C<sub>STRAY</sub>, que representa las capacidades parásitas del transformador que pueden afectar a los transistores. Se tienen en cuenta también otras inductancias y capacidades parásitas, pero no se representan en la Fig. 4 por simplicidad.

La calibración de las estructuras TCAD se hace mediante simulación de procesos en el caso de SJ-MOSFET de tecnología propia y, mediante ingeniería inversa y técnicas de calibración inversa para el caso de SJ-MOSFET comerciales.

Por otro lado, la calibración del circuito y la selección de ciertos parámetros eléctricos se basa en los dispositivos propios escogidos y en la placa de evaluación utilizada [17], cuyas especificaciones se muestran en la sección IV. La precisión de las simulaciones MM y su buena correspondencia con los resultados experimentales se mostrará en la sección IV.

Para analizar el impacto de ZVS en la E<sub>SW\_SOFT</sub> del transistor, se ha simulado el comportamiento de un SJ-MOSFET de tercera generación para distintos tiempos muertos (t<sub>D</sub>) y frecuencias de conmutación (f<sub>SW</sub>). Los resultados de simulación basados en el cálculo en el dominio del tiempo de V<sub>GS</sub>, I<sub>D</sub> y V<sub>DS</sub> permiten diferenciar 5 zonas de operación, resumidas en la Fig. 5, donde E<sub>SW\_SOFT</sub> se representa frente al t<sub>D</sub>.

- (1) Zona de conducción cruzada. En esta zona t<sub>D</sub> es más pequeño que el mínimo tiempo necesario (t<sub>D1</sub>) que evita que los dos dispositivos conduzcan a la vez, siendo t<sub>D1</sub> = 2 · Q<sub>GS</sub>/I<sub>G</sub>. Al ser t<sub>D</sub> muy pequeño, los dos SJ-MOSFET están total o parcialmente cerrados causando un cortocircuito durante un cierto periodo de tiempo y una gran pérdida de energía.
- (2) y (3) Son zonas de operación sin ZVS donde t<sub>D1</sub> < t<sub>D</sub> < t<sub>D2</sub> siendo t<sub>D2</sub> el mínimo necesario para conseguir ZVS. Existe una descarga incompleta de las capacidades parásitas [19] y esto provoca variaciones severas de la energía de conmutación disipada, causada por la no linealidad de C<sub>OSS</sub> con respecto a V<sub>DS</sub>. La falta de ZVS ocurre en la región de la

curva de altos valores de C<sub>OSS</sub> y relativamente bajos valores de V<sub>DS</sub> (<50V), lo que explica que la energía de conmutación perdida sea parecida en las zonas 3 y 4.

- (4) Zona de ZVS perfecto, donde t<sub>D2</sub> < t<sub>D</sub> < t<sub>D3</sub> siendo t<sub>D3</sub> el tiempo máximo necesario para conseguir ZVS. Las pérdidas que aparecen en esta zona se deben exclusivamente a las pérdidas intrínsecas del dispositivo, E<sub>SW\_SOFT</sub> ~ E<sub>i</sub>.
- (5) Zona de no ZVS debido a que t<sub>D</sub> > t<sub>D3</sub>. Para tiempos muertos demasiado grandes, aparecen pérdidas de conmutación adicionales, ya que tiene lugar una recarga no deseada de C<sub>OSS</sub>, causando un ZVS parcial, similar al de las zonas 2 y 3.

Por otro lado, ha de remarcarse que las pérdidas de energía de *driving* se han simulado también (Fig. 5), mostrando una variación casi inexistente con respecto a t<sub>D</sub>.

### C. Simulaciones SPICE

Se llevan a cabo simulaciones con LTSpice, basándose en el circuito propuesto en la Fig. 4 y reemplazando los modelos TCAD de los SJ-MOSFET por modelos SPICE. De nuevo, se hace énfasis en el primario del convertidor, considerando principalmente el tanque resonante (C<sub>R</sub>, L<sub>R</sub> y L<sub>M</sub>), los dos SJ-MOSFET, algunos elementos parásitos y R<sub>AC</sub> para representar el secundario del convertidor.

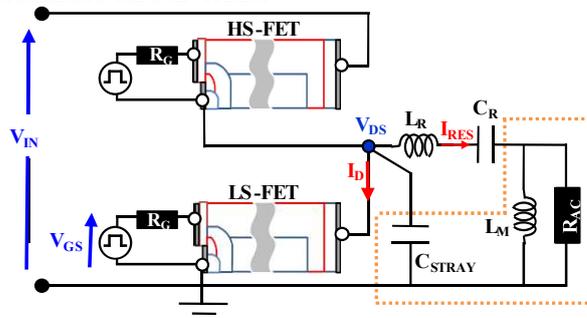
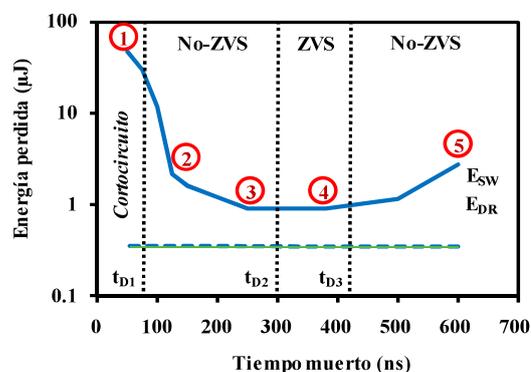


Fig. 4 Circuito simplificado para simulaciones MM con modelos TCAD.

Fig. 5 Simulaciones MM con energías de conmutación y *driving* (E<sub>SW</sub> y E<sub>DR</sub>) para un cierto tiempo muerto (t<sub>D</sub>).

Además, los modelos SPICE propuestos se implementan con distintos valores de  $C_{OSS}$  durante la carga y la descarga, para simular la histéresis de dicha capacidad. Estos modelos son distintos de los propuestos por los fabricantes, donde sólo se tiene en cuenta el modelo en pequeña señal del dispositivo. Los modelos planteados tienen en cuenta tanto la no-linealidad de  $C_{OSS}$  como la histéresis de la misma ( $C_{OSS\_UP}$  y  $C_{OSS\_DOWN}$ , descritos en la Fig. 3 (d)), usando modelos con pares de valores tensión-capacidad. Estas simulaciones se mostrarán y compararán con las medidas experimentales en la sección V, Fig. 6 y Fig. 10.

#### IV. RESULTADOS EXPERIMENTALES Y COMPARACIÓN

##### A. -Evaluación comparativa y prototipo

Los SJ-MOSFET bajo test fueron utilizados en una placa de evaluación comercial [17] cuyas especificaciones se recogen en Tabla II.

Se garantiza el cumplimiento de todas las condiciones necesarias para conseguir ZVS en todo el rango de potencia del convertidor y para todos los SJ-MOSFET seleccionados [18]. Para ello se satisfacen todos los requisitos necesarios tanto en el dominio del tiempo, estableciendo un  $t_D$  suficientemente grande para evitar cortocircuitos, como en el dominio de la energía, asegurando que la energía en el tanque resonante ( $C_R$ ,  $L_R$  y  $L_M$ ) es lo suficientemente grande para descargar la  $C_{OSS}$  del SJ-MOSFET [18]. Ya que los dispositivos escogidos comparten valores de  $R_{ON}$  y  $Q_{OSS}$  parecidos, no hay necesidad de rediseñar  $L_M$  para cada transistor.

TABLA II ESPECIFICACIONES DE LA PLACA DE EVALUACIÓN DEL LLC-HB.

Parámetros	Valor
Topología	LLC HB
Dispositivos primario	SJ-MOSFETs de Si
Dispositivos secundario	OptiMOS BSC010N04LS
Driver IC de puerta	2EDL05N06PF
Potencia máxima (W)	600
Frecuencia resonancia, $f_{RES}$ (kHz)	157
Rango frecuencia (kHz)	90–250 kHz
Tensión entrada, $V_{IN}$ (V)	350-410
Tensión salida, $V_{OUT}$ (V)	12
$C_R$ (nF)	66
$L_R$ (uH)	15.5
$L_M$ (uH)	195
Relación transformador	16:1

##### B. -Simulaciones MM y formas de onda experimentales

En la Fig. 6 se muestran medidas experimentales de  $I_{SHUNT}$ ,  $V_{GS}$  y  $V_{DS}$  (ver correspondencia en Fig. 2). El producto de  $I_{SHUNT}$  y  $V_{DS}$  (es decir,  $P_{INS}$ ) representa la potencia instantánea en el dispositivo. Asimismo, se incluyen en la gráfica resultados de simulaciones MM en línea discontinua para validar la buena correspondencia lograda con las formas de onda experimentales (línea sólida), lo cual promete buenas predicciones futuras en escenarios de trabajo distintos. Se incluye también la simulación de la corriente por el canal,  $I_{CH}$ , para verificar la operación en ZVS. Cuando  $I_{CH}$  es cero, el área bajo  $P_{INS}$  representa la energía almacenada en  $C_{OSS}$ , en este caso durante el apagado del SJ-MOSFET ( $E_{off}$ ). Esta energía no se puede considerar como pérdidas ya que en parte será recuperada

durante el encendido del mismo. La energía extraída durante el encendido ( $E_{on}$ ) se calcula de manera análoga. Aunque se aseguran condiciones de trabajo en ZVS aparecen unas ciertas pérdidas de conmutación que se calculan como

$$E_{SW\_SOFT} \sim E_i = E_{off} - E_{on} \quad (1)$$

lo cual concuerda con la operación en la zona 4 (Fig. 5) donde  $E_{SW\_SOFT}$  es aproximadamente la energía intrínseca  $E_i$  causada por la histéresis de  $C_{OSS}$ , la cual se corresponde con la energía remanente tras cargar y descargar la  $C_{OSS}$  cuando el dispositivo está abierto.

##### C. Rendimientos y desglose de pérdidas

Se ha llevado a cabo una comparación de rendimientos en el convertidor LLC para los distintos SJ-MOSFET de la Tabla I, para niveles desde el 10% hasta el 100% de la carga máxima (600W), siguiendo siempre el mismo protocolo de pruebas y condiciones de operación ( $V_{IN} = 380V$ ). El error de dispersión entre medidas se minimiza con este protocolo, ya que se basa en la media de medidas consecutivas una vez que la temperatura de trabajo es estable, por tanto, el error no afecta a la tendencia general del rendimiento obtenido con cada transistor.

En la Fig. 7, se muestran los rendimientos diferenciales obtenidos tomando como referencia el DUT1, ya que es el que muestra mejores resultados para todo el rango de potencia. Además, el error de dispersión se calcula teniendo en cuenta la precisión de los equipos de medida y la información dada por el fabricante de la placa de evaluación. No hay una tendencia clara en los rendimientos que cada SJ-MOSFET muestra para las distintas demandas de carga. Algunos son buenos para baja

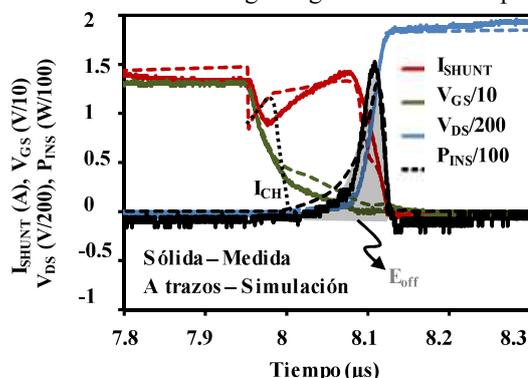


Fig. 6 Formas de onda simuladas y experimentales del LS-FET durante el apagado.

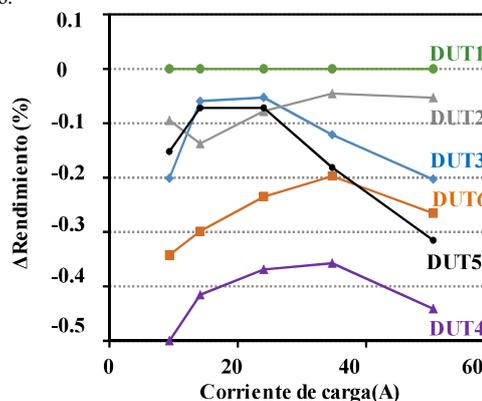


Fig. 7 Rendimientos diferenciales con respecto al mejor SJ-MOSFET (DUT1).

potencia y sin embargo su funcionamiento es peor a máxima potencia, como es el caso del DUT5.

Las FoM tradicionales no permiten explicar este tipo de diferencias de funcionamiento. Por ejemplo, el bajo rendimiento del DUT5 a alta carga se puede explicar por su alta  $R_{ON}$ , pero el rendimiento del DUT5 a baja carga es mejor que el del DUT6 y, sin embargo, sus características de conmutación son casi idénticas. Por tanto, se necesitan nuevas FoM que den información del origen de la mayor fuente de pérdidas, ya que un gran porcentaje de las pérdidas totales del convertidor se deben a los SJ-MOSFET del primario [18].

Usando las medidas experimentales de  $V_{GS}$ ,  $V_{DS}$  e  $I_{SHUNT}$  se calculan las pérdidas de conmutación ( $P_{SW}$ ), de *driving* ( $P_{DR}$ ) y de conducción ( $P_{ON}$ ) para tres valores de potencia (60W, 300W y 600W, en Fig. 8 (a), (b) y (c), respectivamente). Incluso bajo condiciones de ZVS, las pérdidas  $P_{SW}$  son relevantes. Para bajas cargas las pérdidas predominantes son  $P_{SW}+P_{DR}$  (Fig. 8 (a)) mientras que para altas cargas son  $P_{SW}+P_{ON}$  (Fig. 8 (c)). La aparición de  $P_{SW}$  para cualquier rango de potencia es consistente con la aparición de  $E_{SW\_SOFT}$  reportada previamente.

En la Fig. 8, a baja carga,  $P_{ON}$  es similar para todos los DUT, las diferencias entre  $P_{DR}$  tienen bajo impacto y las pérdidas  $P_{SW}$  son las dominantes. Para alta carga, las pérdidas  $P_{ON}$  son las más importantes, pero aun así se aprecian diferencias entre dispositivos para las  $P_{SW}$ . A media carga, aunque las pérdidas  $P_{ON}$  son las más altas, su valor es bastante constante para todos los SJ-MOSFET, sin embargo, las diferencias entre  $P_{SW}$  son las que tienen mayor impacto y por ello se ha de prestar especial atención a la selección de un transistor u otro.

#### D. Resultados SPICE

Basándose en los resultados experimentales y las simulaciones MM previamente presentados (Fig. 6), se pueden deducir las curvas en gran señal de  $C_{OSS}$  que se usarán para los modelos SPICE, obteniendo  $C_{OSS\_DOWN}$  y  $C_{OSS\_UP}$  como:

$$C_{OSS} = I_D / (dV_{DS}/dt)$$

En la transición positiva de  $V_{DS}$  (apagado de LS-FET y encendido de HS-FET)  $C_{OSS\_UP}$  se aplica a LS-FET y  $C_{OSS\_DOWN}$  se aplica a HS-FET. Al contrario, en la transición negativa (encendido de LS-FET y apagado de HS-FET),  $C_{OSS\_DOWN}$  se aplica a LS-FET y  $C_{OSS\_UP}$  a HS-FET.

Por consiguiente,  $C_{eq1}$  se deriva de estas combinaciones de capacidades durante la rampa positiva de  $V_{DS}$ , como se

representa en Fig. 9. Y de manera análoga para la rampa negativa de  $V_{DS}$  se deriva  $C_{eq2}$ . Estas capacidades equivalentes son parte del tanque resonante y se cargan y descargan en cada periodo de conmutación. La energía acumulada y extraída ( $E_{off}$  (2) y  $E_{on}$ (3)) es diferente debido a la asimetría entre  $C_{eq1}$  y  $C_{eq2}$ , dando pérdidas de energía intrínsecas,  $E_i$ .

$$E_{off} = \int_0^{V_{SW}} C_{eq1} V_{DS} dV \quad (2)$$

$$E_{on} = \int_{V_{SW}}^0 C_{eq2} V_{DS} dV \quad (3)$$

En la Fig. 10 se muestra la comparativa entre la  $V_{DS}$  medida, la  $V_{DS}$  obtenida mediante simulaciones SPICE con el modelo en pequeña señal dado por los fabricantes en sus hojas de características y la  $V_{DS}$  obtenida con simulaciones SPICE con el modelo propuesto en gran señal. Con este nuevo modelo se aprecian asimetrías en los puntos de inflexión de  $V_{DS}$  (A y B en la Fig. 10 tienen distintas curvaturas), siendo esto consistente con la existencia de  $E_i$  y haciendo que las formas de onda simuladas sean mucho más parecidas a las experimentales.

#### V. NUEVO MÉTODO DE CARACTERIZACIÓN

Como se ha visto, las pérdidas  $P_{SW}$  son significativas especialmente a baja y media carga, razón por la cual es especialmente necesario predecir y cuantificar  $E_{SW\_SOFT}$ .

Con el fin de obtener una FoM que explique este fenómeno, se propone un sistema I-V pulsado (Auriga [19]) para caracterizar  $E_{SW\_SOFT}$ . A diferencia de otros, este es el primer sistema comercial propuesto. Permite capturar medidas con mucha precisión (hasta un 0,01% de la corriente máxima) y es independiente de la temperatura. Además, las medidas tensión/corriente se están posicionando como el método preferido para la caracterización de dispositivos activos.

En la Fig. 11 se muestra un ejemplo de las medidas hechas para extraer  $E_{SW\_SOFT}$ , aplicando un pulso de 400V sobre el dispositivo con un cierto periodo y midiendo  $I_D$ ,  $V_{DS}$  y la energía acumulativa,  $E_{ACC}$ . Concretamente, se considera  $E_{SW\_SOFT}$  como la energía acumulada tras aplicar un ciclo completo de carga-descarga al dispositivo. Basándose en la información extraída, el proceso para detectar y confirmar la existencia de histéresis de  $C_{OSS}$  consiste en dividir la corriente por la derivada de la tensión durante la carga y descarga del dispositivo.

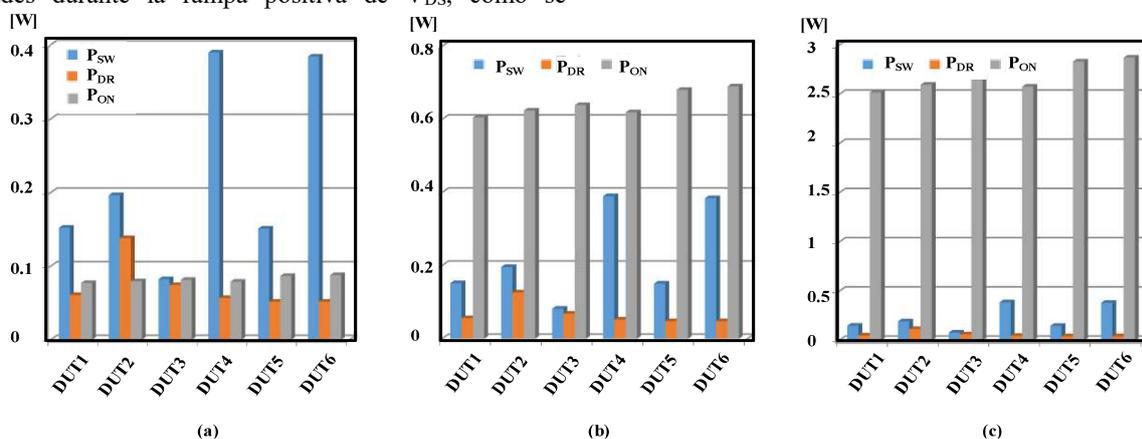


Fig. 8 Pérdidas de potencia medidas debidas a *driving* ( $P_{DR}$ ), conmutación ( $P_{SW}$ ) y conducción ( $P_{ON}$ ) para (a) 10%, (b) 50% y (c) 100% de la carga máxima.

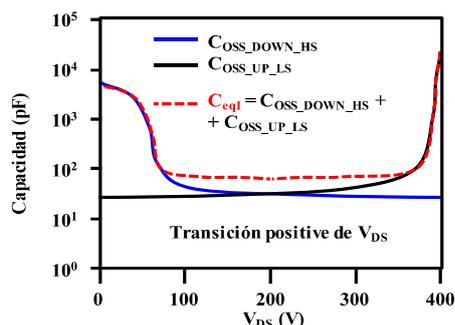


Fig. 9 Rampa positiva de  $V_{DS}$ .  $C_{eq1}$  se obtiene por derivación de medidas experimentales.

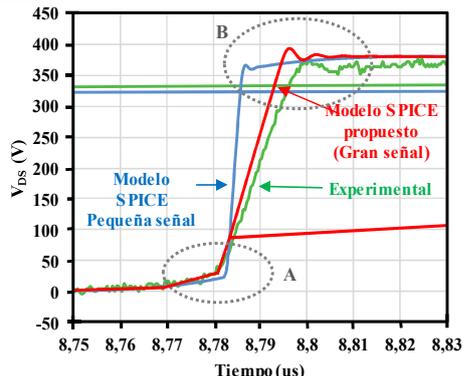


Fig. 10  $V_{DS}$  medida (verde), pequeña señal (azul) y propuesta gran señal (roja).

Basándonos en el método de caracterización descrito, se propone una nueva FoM definida como  $R_{ON} * E_i$ . La FoM propuesta de algunos de los DUT caracterizados en este trabajo se compara en la Fig. 12. Esta FoM tiene en cuenta  $R_{ON}$  (importante a alta carga) y  $E_i$  (crucial para baja y media carga), y encaja cualitativamente con los rendimientos (Fig. 7) y las tendencias de  $P_{SW}$  (Fig. 8). Ya que  $E_i$  depende de la carga y descarga de  $C_{OSS}$ , esta FoM está directamente relacionada con la histéresis de  $C_{OSS}$ . Además, cabe mencionar que la directa e indirecta proporcionalidad de  $R_{ON}$  y  $E_i$  respectivamente con el área de dispositivo, hacen que esta FoM sea independiente de dicha área.

## VI. CONCLUSIONES

Se han seguido dos estrategias de simulación basadas en circuitos SPICE y estructuras MM con el fin de poder explicar las pérdidas de conmutación de los SJ-MOSFET incluso bajo condiciones de trabajo con conmutaciones suaves.

En los modelos propuestos se incluyen tanto la histéresis de  $C_{OSS}$  como la pérdida de energía relacionada con ella, y se consigue una buena concordancia entre las simulaciones y las medidas experimentales obtenidas en un convertidor LLC resonante en medio puente comercial.

Basándose en el análisis de pérdidas y en un nuevo método de caracterización I-V, se presenta un procedimiento para obtener un modelo SPICE de los SJ-MOSFET más completo que el dado por los fabricantes. Además, se demuestra que este modelo más complejo se puede obtener también basándose en resultados experimentales previos.

Se ha propuesto una FoM más compleja que incluye información sobre  $P_{DR}$ ,  $P_{SW}$  y  $P_{ON}$ , facilitando la selección de dispositivos más precisa según cuales sean las condiciones de trabajo y el nivel de carga para una cierta aplicación.

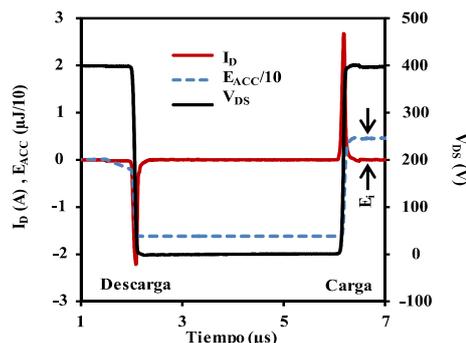


Fig. 11 Test pulsado Auriga. Formas de onda de  $I_D$ ,  $V_{DS}$  y  $E_{ACC}$ .

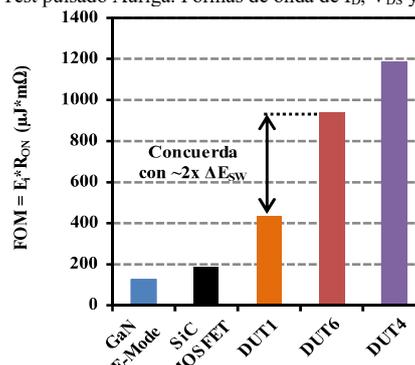


Fig. 12 FoM para algunos DUT. GaN y SiC se incluyen como comparación.

## REFERENCIAS

- [1] V. Vorperian And Slobodan Cuk. "A Complete DC Analysis of The Series Resonant Converter." IEEE Power Electronics Specialists conference (1982): 85 – 100
- [2] K. Murata and F. Kurokawa, "Performance characteristic of interleaved LLC resonant converter with phase shift modulation," 2015 IEEE International Telecommunications Energy Conference (INTELEC), Osaka, 2015, pp. 1-5.
- [3] Y. Chen, H. Wang and Y. F. Liu, "Improved hybrid rectifier for 1-MHz LLC-based universal AC-DC adapter," 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, FL, 2017, pp. 23-30.
- [4] Deng, Junjun, Siqi Li, Sideng Hu, Chunting Chris Mi, and Ruiqing Ma. "Design methodology of LLC resonant converters for electric vehicle battery chargers." IEEE Transactions on Vehicular Technology 63, no. 4 (2014): 1581-1592.
- [5] Webpage: <http://www.80PLUS.org> [last access: June 2018]
- [6] Person, C. E. "Selection of primary side devices for LLC resonant converters". Doctoral dissertation, Virginia Tech, 2008
- [7] R. Yu, et al, "Computer-aided design and optimization of high-efficiency LLC series resonant converter", IEEE Transactions Power Electronics, 27, pp.3243-3256, 2012.
- [8] K. Tabira, S. Watanabe, T. Shimatou, and T. Watashima, "Advantage of super junction MOSFET for power supply application," in 2014 IEEE Power Electronics Conference (ECCE-ASIA), pp. 2939-2943, 2014.
- [9] W. Zhang, F. Wang, D.J.Costinet, L.M. Tolbert, and B. J. Blalock, "Investigation of gallium nitride devices in high-frequency LLC resonant converters", IEEE Transactions on Power Electronics, 32(1), pp. 571-583, 2017.
- [10] R. Elferich, "General ZVS half bridge model regarding nonlinear capacitances and application to LLC design," in 2012 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 4404-4410, 2012.
- [11] D. Costinett, D. Maksimovic, and R. Zane, "Circuit-oriented treatment of nonlinear capacitances in switched-mode power supplies," IEEE Transactions on Power Electronics, 30(2), pp. 985-995, 2015.
- [12] C. Oeder, M. Barwig, and T. Duerbaum, "Estimation of switching losses in resonant converters based on datasheet information," in IEEE European Conference on Power Electronics and Applications (EPE- ECCE Europe), pp. 1-9, 2016.
- [13] J. B. Fedison, et al, "Coss related energy loss in power MOSFETs used in zero-voltage-switched applications," in 2014 IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 150-156, 2014.
- [14] M. Kasper, R. M. Burkart, G. Deboy, and J. W. Kolar, "ZVS of power MOSFETs revisited," IEEE Transactions on Power Electronics, 31(12), pp. 8063-8067, 2016.
- [15] J. Roig et al, "Origin of Anomalous Coss Hysteresis in Resonant Converters with Super Junction FETs", IEEE Transactions Electron Devices, 62, pp.3092-3094, 2015
- [16] J. Roig et al, "High-accuracy modelling of ZVS energy loss in advanced power transistors," 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), San Antonio, TX, 2018, pp. 263-269.
- [17] A. Steiner, F. Di Domenico, J. Catly, F. Stückler, "600W halfbridge LLC Evaluation Board with 600V CoolMOS™ C7", Infineon Technology AN – June 2015.
- [18] Maria R. Rogina et al, "Novel Selection Criteria of Primary Side Transistors for LLC Resonant Converters" 2018 COMPEL, Padova, Italy, 2018.
- [19] Webpage: <https://focus-microwaves.com/pulsed-iv/>, last acces jan 2019