



Universidad de
Oviedo



ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN.

MÁSTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN

ÁREA DE TECNOLOGÍA ELECTRÓNICA

TRABAJO FIN DE MÁSTER Nº 201901

**AMPLIFICADOR CLASE D BIFASE CON
MODULADOR PWM ANALÓGICO PARA UN
TRANSMISOR DE COMUNICACIÓN POR LUZ VISIBLE**

**D. ÁLVAREZ FERNÁNDEZ, Alberto
TUTOR: D. FERNÁNDEZ MIAJA, Pablo
COTUTOR: D. RODRÍGUEZ MÉNDEZ, Juan**

FECHA: Julio 2019



ÍNDICE

1.- Comunicación por Luz Visible	9
1.1.- Introducción	9
1.2.- Principio de Operación de VLC.....	10
1.3.- <i>Drivers</i> de HB-LEDs para VLC	13
1.3.1.- <i>Drivers</i> basados en SMPCs.....	14
1.3.2.- <i>Drivers</i> basados en LPAs.....	16
1.4.- Objetivo y Estructura del Documento	19
2.- SMPA como <i>driver</i> para VLC.....	21
2.1.- SMPA Clase D PWM	21
2.1.1.- Funcionamiento.....	21
2.1.2.- Pérdidas.....	23
2.1.3.- Ancho de banda.....	24
2.1.4.- Aplicación para VLC	25
2.2.- Filtrado de los armónicos de conmutación en SMPA clase D PWM	25
2.2.1.- Topologías multifase.....	25
2.2.2.- Filtros de alto orden	28
3.- PWM	31
3.1.- Tipos de PWM.....	31
3.1.1.- PWM ideal	31
3.1.2.- PWM Analógica.....	32
3.1.3.- PWM digital.....	35
3.2.- Diseño del modulador PWM digital en MATLAB	36
3.3.- Modulador PWM Analógico	39
3.3.1.- Diagrama de bloques.....	40
3.3.2.- Prototipo.....	41
3.3.2.1.- Oscilador, conversor V/I y condensador	41
3.3.2.2.- Adaptación de niveles	44
3.3.2.3.- Comparador, retardo y señales complementarias.....	46
3.3.2.4.- Esquema global e imágenes del prototipo.....	50
3.3.3.- Resultados Experimentales	51



3.4.- Comparativa Moduladores.....	57
4.- SMPA Clase D PWM Multifase con Filtro de Alto Orden	59
4.1.- Requisitos	59
4.2.- Topologías multifase con filtro de alto orden.....	60
4.3.- SMPA clase D PWM bifase con filtro de cuarto orden.....	62
4.3.1.- Etapa de potencia	62
4.3.2.- Etapa de control	69
4.3.3.- Prototipo.....	73
4.3.3.1.- Selección de VCC	73
4.3.3.2.- MOSFETs	74
4.3.3.3.- Filtro.....	75
4.3.3.4.- Etapa de control.....	77
4.3.4.- Resultados Experimentales	77
4.3.4.1.- Prueba de reproducción de señales.....	78
4.3.4.2.- Prueba de rendimiento.....	81
4.4.- Segundo prototipo.....	82
4.5.- Análisis de los resultados.....	84
5.- Conclusiones, Trabajos Futuros y Lista de Tareas	85
5.1.- Conclusiones.....	85
5.2.- Trabajos Futuros	85
5.3.- Lista de Tareas	86
6.- Referencias	87



ÍNDICE DE FIGURAS

Figura 1.1: Esquema de las principales tecnologías de comunicaciones ópticas.	9
Figura 1.2: Funcionamiento del HB-LED. a) Símbolo para el esquema eléctrico del HB-LED. b) Curva intensidad de luz-corriente. c) Curva corriente-tensión de un HB-LED.	11
Figura 1.3: Efecto de la temperatura sobre la curva corriente-tensión de un HB-LED. Para las temperaturas T_{J1} y T_{J2} las tensiones de polarización adecuadas son $vD - DC - 1$ y $vD - DC - 2$ respectivamente. Nótese que $iD - LIN$ representa la aproximación lineal de la curva.	12
Figura 1.4: Formas de onda del HB-LED operando en VLC con sDC constante y teniendo en cuenta el efecto de TJ . a) $s(t)$. b) $iD(t)$. c) $vD(t)$	12
Figura 1.5: Esquema de un <i>driver</i> de HB-LEDs para VLC con sus principales formas de onda.	13
Figura 1.6: Esquema básico de un SMPC reductor.	14
Figura 1.7: Esquema de un SMPC operando como <i>driver</i> de HB-LEDs para iluminación.	15
Figura 1.8: Esquema de un SMPC operando como <i>driver</i> de HB-LEDs para VLC.	16
Figura 1.9: Esquema genérico de un LPA reproduciendo una señal de comunicaciones donde la carga modela la antena transmisora.	17
Figura 1.10: Esquema de un LPA reproduciendo señales de comunicaciones.	17
Figura 1.11: Esquema de un LPA reproduciendo señales de comunicaciones para VLC, donde la polarización de los HB-LEDs viene dada por el SMPC.	18
Figura 2.1: Esquema del SMPA clase D PWM con sus principales formas de onda.	21
Figura 2.2: Subcircuitos correspondientes a la conmutación alternativa de $M1$ y $M2$ para generar $vSW(t)$. a) $M1$ conduce, $M2$ no conduce, $vSWt = VCC$. b) $M1$ no conduce, $M2$ conduce, $vSWt = 0$	22
Figura 2.3: Formas de onda de $VOUT$ y $vsw(t)$ para diferente d . a) $d = 0.25$. b) $d = 0.5$. c) $d = 0.75$	22
Figura 2.4: Símbolo del MOSFET con sus terminales (G: Puerta, D: Drenador, S: Fuente), sus capacidades parásitas: Drenador-fuente CDS , puerta-drenador CGD y puerta-fuente CGS ; y su relación con $CISS$ y $COSS$	23
Figura 2.5: Filtrado paso-banda en un SMPA clase D PWM.	24
Figura 2.6: Esquema de topología multifase con np fases.	26
Figura 2.7: Simplificación de la topología multifase. a) Sustitución de transistores por fuentes. b) Aplicación teoremas de Thevenin y superposición. c) Equivalente con filtro <i>notch</i>	27
Figura 2.8: Formas de onda de la tensión en los nodos de conmutación de la topología de dos fases. a) $VPH1(t)$. b) $VPH2(t)$. c) $VPH1t/2 + VPH2(t)/2$	27
Figura 2.9: Filtro LC paso-bajo de orden n con entrada inductiva.	29



Figura 2.10: Funciones de transferencia de filtros Butterworth para distintos órdenes pares.	29
Figura 3.1: Ejemplo de PWM ideal.	31
Figura 3.2: PWM analógica comparando con señal triangular. a) Señales a comparar ($vINFO(t)$ y $vTRI(t)$). b) Resultado de la comparación ($vINFO - PWM(t)$).	32
Figura 3.3: PWM analógica comparando con señal en diente de sierra. a) Señales a comparar ($vINFO(t)$ y $vSAW(t)$). b) Resultado de la comparación ($vINFO - PWM(t)$).	33
Figura 3.4: Generación de $vTRI(t)$. a) $iC(t)$. b) $vC(t)$. c) Símbolo del condensador. .	34
Figura 3.5: Generación de $vSAW(t)$. a) $iC(t)$. b) $vC(t)$. c) Esquema del condensador.	34
Figura 3.6: Funcionamiento del modulador PWM digital. a) $vINFO(t)$ y las muestras. b) Generación de $vINFO - PWM(t)$ en detalle.	35
Figura 3.7: PWM digital “idealizada”.	36
Figura 3.8: $AINFO - MIN$ en función de $fINFO$ para $r = 4$ y $fINFO - PWM = 12 MHz$	38
Figura 3.9: $AINFO - MIN - MAX$ y $AINFO - MIN - TEOR$ en función de r	39
Figura 3.10: Diagrama de bloques del modulador propuesto.	40
Figura 3.11: Funcionamiento del oscilador Schmitt-trigger utilizado. a) Esquemático del circuito. b) $vOST(t)$ y $vCOND(t)$. c) $vOSC - seg(t)$	42
Figura 3.12: Esquemático del seguidor de tensión utilizado.	43
Figura 3.13: Operación del conjunto conversor (V/I) + condensador $CTRI$. a) Esquemático del integrador. b) $vOSC(t)$. c) $iV/I(t)$ y $vTRI(t)$	43
Figura 3.14: Eliminación del nivel de continua de $vTRI(t)$. a) Esquemático del circuito. b) $vTRI - Act$	45
Figura 3.15: Adaptación de los niveles de $vTRI - Act$. a) Esquemático del circuito. b) $vTRI - COMPt$	45
Figura 3.16: Bloque comparador. a) Esquemático del circuito. b) $vINFOt$ $vTRI - COMPt$ $vPWMt$	46
Figura 3.17: Esquemático del circuito de selección de retardos.	47
Figura 3.18: Generación de la señal triangular invertida. a) Esquemático del circuito. b) $vTRI - COMP - DESFt$	48
Figura 3.19: Comparación de las formas de onda de los métodos de retardo analizados. a) $vINFOt$ de alta frecuencia. b) $vINFOt$ constante.	49
Figura 3.20: Esquemático del circuito de generación de complementarias.	50
Figura 3.21: Esquemático global del modulador PWM analógico.	50
Figura 3.22: Fotografía de la PCB del modulador PWM analógico.	51
Figura 3.23: $vTRI - COMPt$ y $vTRI - COMP - INVt$ para $fINFO - PWM = 5MHz$	51
Figura 3.24: $vINFOt$, $vTRI - COMPt$ y $vPWMt/2$ para $fINFO - PWM = 5MHz$	52
Figura 3.25: $vTRI - COMPt$ y $vTRI - COMP - INVt$ para $fINFO - PWM = 7,5MHz$	52



Figura 3.26: $vINFOt$, $vTRI - COMPt$ y $vPWMt/2$ para $fINFO - PWM = 7,5MHz$.	52
Figura 3.27: $vTRI - COMPt$ y $vTRI - COMP - INVt$ para $fINFO - PWM = 12MHz$.	53
Figura 3.28: $vINFOt$, $vTRI - COMPt$ y $vPWMt/2$ para $fINFO - PWM = 12MHz$.	53
Figura 3.29: $vTRI - COMPt$ y $vTRI - COMP - INVt$ para $fINFO - PWM = 15MHz$.	53
Figura 3.30: $vINFOt$, $vTRI - COMPt$ y $vPWMt/2$ para $fINFO - PWM = 15MHz$.	54
Figura 3.31: Valores de $d[\%]$ deseado junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada para $fINFO - PWM = 5MHz$.	54
Figura 3.32: Valores de $d[\%]$ junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $fINFO - PWM = 7,5MHz$.	55
Figura 3.33: Valores de $d[\%]$ junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $fINFO - PWM = 12MHz$.	55
Figura 3.34: Valores de $d[\%]$ junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $fINFO - PWM = 15MHz$.	56
Figura 3.35: $AINFO - MIN$ según la $fINFO - PWM$ del modulador PWM analógico.	56
Figura 3.36: Comparación de los sistemas digitales frente al analógico en términos de $AINFO - MIN - MAX$.	57
Figura 4.1: Curvas $iD(vD)$ y $iD - LIN(vD)$ del HB-LED XLamp MX-3.	59
Figura 4.2: Topología de np fases con filtro paso-bajo de orden n .	60
Figura 4.3: Diagrama de barras de la frecuencia de conmutación mínima para cada topología.	62
Figura 4.4: Generación de $vSW1t$. a) Esquemático del nodo de conmutación. b) $vGATE1t$, $vGATE2t$, $vSW1t$.	63
Figura 4.5: Generación de la señal $vSW1t$ dejando $tDEAD$ en $vGATE1t$ y $vGATE2t$.	64
Figura 4.6: Simplificación de la topología bifase. a) Sustitución de los MOSFETs por fuentes. b) Obtención de la bobina equivalente. c) Filtro <i>notch</i> equivalente.	64
Figura 4.7: Esquema del filtro <i>notch</i> equivalente combinado con el filtro paso-bajo de 4º orden.	65
Figura 4.8: Efecto de la combinación de la topología bifase con el filtro de 4º orden.	65
Figura 4.9: Espectro de $vFIL - OUTt$.	66
Figura 4.10: Desbalanceo de corrientes por las fases. a) $vSW1t$ e $iPH1t$ balanceada a periodo de conmutación. b) $iPH1t$ balanceada a periodo de la señal $vINFOt$. c) $iPH1t$ y $iPH2t$ desbalanceadas en nivel de continua ($iPH1 - DESB - DC$, $iPH2 - DESB - DC$), amplitud ($iPH1 - DESB - AMP$, $iPH2 - DESB - AMP$) y fase ($tDESf$).	67
Figura 4.11: Gobierno de los HB-LEDs. a) Esquema del circuito. b) $iOUT - AC(t)$, $iOUT - DC$ e $iOUT(t)$. c) $vOUT - ACt$ $vOUT - DC$ y $vOUT(t)$.	68



Figura 4.12: Esquema global de la etapa de potencia del SMPA clase D bifase con filtro de 4º orden.	69
Figura 4.13: Generación de tiempos muertos para la fase 1. a) Esquema del circuito. b) $v_{PWM}(t)$ y $v_{PWM} - TD(t)$, $v_{PWM} - COMP(t)$ y $v_{PWM} - COMP - TD(t)$	70
Figura 4.14: Señal PWM tras aplicar el tiempo muerto ($v_{PWM} - DIG(t)$) y la complementaria ($v_{PWM} - COMP - DIG(t)$) comparadas con $v_{PWM} - TD(t)$ y $v_{PWM} - COMP - TD(t)$	70
Figura 4.15: Esquema indicando las referencias necesarias para las señales de control de $M1$ y $M3$	71
Figura 4.16: Esquema de los aisladores digitales necesarios para cambiar la referencia de las señales de control de $M1$ y $M3$	71
Figura 4.17: Esquema con los drivers necesarios para el control de $M1$ y $M2$	72
Figura 4.18: Esquema de los SMPCs con aislamiento para generar las alimentaciones 5^*V y $5^{**}V$	72
Figura 4.19: Esquema global de la etapa de control.	73
Figura 4.20: Rendimiento máximo teórico del SMPA considerando únicamente las pérdidas debidas a los MOSFETs.	75
Figura 4.21: Diseño del filtro paso-bajo con <i>LC Filters Design Tool</i> . a) Parámetros de entrada. b) Filtro resultante.	76
Figura 4.22: Función de transferencia teórica del filtro paso-banda del prototipo.....	77
Figura 4.23: Fotografía del <i>Setup</i> de medida para las pruebas experimentales.....	78
Figura 4.24: Resultados experimentales del SMPA procesando una senoide de $f_{INFO} = 2,5 MHz$ y $A_{INFO} = 0,6 V$. a) $v_{OUT} - AC(t)$. b) $i_{OUT} - AC(t)$. c) $v_{SW1}(t)$ y $v_{SW2}(t)$	79
Figura 4.25: Respuesta en frecuencia del SMPA según A_{INFO}	80
Figura 4.26: Evolución de $A_{OUT} - AC$ según aumenta $A_{INFO} - PP$ para diferentes f_{INFO}	81
Figura 4.27: Gobierno de los HB-LEDs en su nueva disposición.	83
Figura 4.28: Fotografía del segundo prototipo construido.	83



ÍNDICE DE TABLAS

Tabla 2.1: Rendimientos típicos de los dispositivos analizados en el presente trabajo..	25
Tabla 2.3: Armónicos presentes en cada topología multifase estudiada.	28
Tabla 3.1: Matriz $AINFO - MIN - MAXr, fINFO - PWM$	39
Tabla 3.2: $VOST - H, VOST - L, VTH - H$ y $VTH - L$ del inversor.	42
Tabla 3.3: $fINFO - PWM$ para dos valores de $R1$ y $R2$ que permiten comprobar que se obtiene la variación deseada.	42
Tabla 3.4: Valores recomendados por el fabricante para las resistencias del seguidor de tensión.	42
Tabla 3.5: Valores de los componentes del conjunto integrador.	44
Tabla 3.6: $vTRI - PP$ para las frecuencias extremas de diseño.	44
Tabla 3.7: Valores de $R11, R12, R13$ y $R14$ necesarios en el sumador no inversor para diferentes $fINFO - PWM$	46
Tabla 3.8: Valores de $R17, R18$ y $R19$ necesarios en el sumador inversor para diferentes $fINFO - PWM$	48
Tabla 4.1: Características del HB-LED XLamp MX-3.	59
Tabla 4.2: Requisitos de salida del SMPA teniendo en cuenta la carga empleada.	60
Tabla 4.3: Frecuencias de conmutación mínimas que aseguran los parámetros de entrada para las diferentes topologías analizadas.	61
Tabla 4.4: Características de salida del SMPA para $VCC = 20 V$	74
Tabla 4.5: Comparación de los valores mínimos con las características de los modelos comerciales evaluados.	74
Tabla 4.6: Valores de los elementos reactivos utilizados en el filtro paso-bajo del prototipo.	76
Tabla 4.7: Porcentaje de TSW que representa $tDEAD$ para las fSW extremas.	77
Tabla 4.8: Requisitos de salida del SMPA teniendo en cuenta la nueva carga empleada.	82
Tabla 4.9: Valores de los elementos reactivos utilizados en el filtro paso-bajo del segundo prototipo.	82
Tabla 4.10: Resultados de la prueba de rendimiento sobre el segundo prototipo.	84



1.- COMUNICACIÓN POR LUZ VISIBLE

1.1.- Introducción

Debido a la creciente demanda de comunicaciones inalámbricas [1], se está produciendo una paulatina saturación del espectro de radiofrecuencia y microondas (RF-MO, desde 30 kHz hasta 300 GHz) [2], [3]. Servicios como video bajo demanda, videojuegos en línea o *cloud computing* se van incorporando a los dispositivos móviles y requieren altas velocidades de transmisión de datos, lo que se traduce en la necesidad de un mayor ancho de banda. Por otro lado, ideas emergentes como *Smart Cities* o *Internet of Things* están cada vez más próximas en el tiempo [4], y en ellas las comunicaciones inalámbricas tienen un rol muy importante, lo que contribuirá a aumentar la congestión del espectro de RF-MO anteriormente comentada.

Unas de las principales alternativas para aliviar la saturación del espectro de RF-MO son las comunicaciones ópticas, las cuales están basadas en el empleo de la luz, ya sea infrarroja (300 GHz a 385 THz), visible (385 a 750 THz) o ultravioleta (750 THz a 3000 THz), para transmitir información. Las comunicaciones ópticas se pueden clasificar en guiadas e inalámbricas (ver la Figura 1.1). Ejemplos de comunicaciones guiadas son la fibra óptica y los circuitos integrados fotónicos (PIC, siglas de *Photonic Integrated Circuit*). Por otro lado, la comunicación por luz visible (VLC, siglas de *Visible Light Communication*) y los infrarrojos son ejemplos de comunicaciones ópticas inalámbricas.

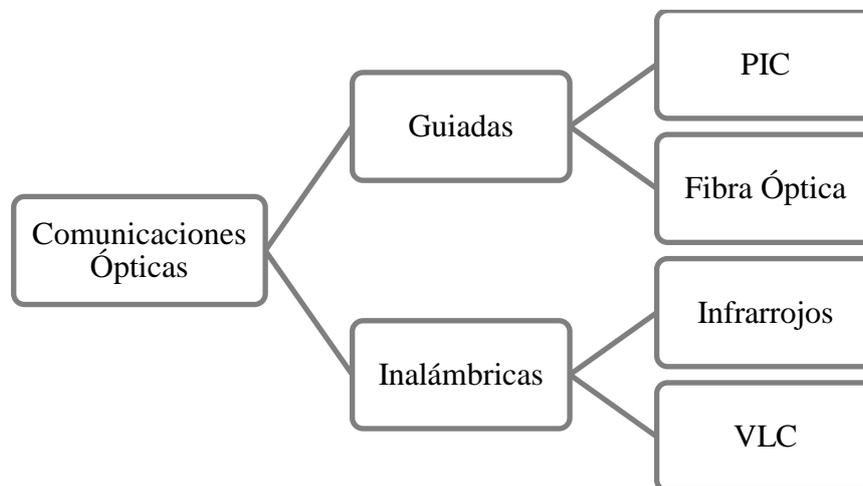


Figura 1.1: Esquema de las principales tecnologías de comunicaciones ópticas.

Dentro de las comunicaciones ópticas, VLC es una de las opciones más prometedoras. Esta tecnología se basa en transmitir información modulando la intensidad de la luz visible, permitiendo recuperar la información a partir de un receptor sensible a las variaciones en la intensidad lumínica incidente. Hay que señalar que el espectro de luz visible no requiere licencia en la actualidad.



El gran potencial de VLC se explota cuando se implementa aprovechando la infraestructura de iluminación existente. Actualmente el uso de lámparas LED de alto brillo (HB-LED, siglas de *High-Brightness Light-Emitting Diode*) para iluminación está bastante extendido. Estas lámparas permiten variar la intensidad de luz rápidamente, por lo que, a diferencia de otras tecnologías de iluminación tradicional, pueden ser utilizadas en VLC para transmitir información a la vez que se ilumina.

A continuación, se enumeran algunas ventajas y desventajas de VLC respecto a las comunicaciones RF-MO actuales.

Ventajas:

- Uso de una parte del espectro amplio y que no requiere licencia.
- Integración en la infraestructura de iluminación existente.
- Zonas de cobertura en interiores delimitadas por las paredes.
 - Todo el ancho de banda está disponible en cada estancia.
 - Dificulta el acceso a la red de la estancia a atacantes desde el exterior.

Desventajas:

- Los obstáculos tienen un importante efecto sobre el rendimiento de la comunicación. Es preferible que exista visión directa, aunque no es estrictamente necesario.
- El alcance de VLC es menor que el de los sistemas RF.

En vista de todo lo anterior, el uso de VLC se ha propuesto para aplicaciones como conexión a Internet de alta velocidad en interiores **¡Error! No se encuentra el origen de la referencia.**, comunicaciones entre vehículos [5] o comunicaciones bajo el agua [7].

1.2.- Principio de Operación de VLC

El funcionamiento del HB-LED se puede comprender a partir de sus curvas intensidad de luz-corriente y corriente-tensión (ver la Figura 1.2). La intensidad de luz ($s(t)$) depende de la corriente que circula a través del HB-LED ($i_D(t)$) y, a su vez, la corriente depende de la tensión que se le aplica al conjunto de HB-LEDs ($v_D(t)$). Como se puede observar en la Figura 1.2, ninguna de las relaciones entre las magnitudes es completamente lineal, lo que provocará cierta distorsión en la comunicación. En cualquier caso, se puede asumir que la intensidad de luz emitida es proporcional a la corriente que circula por los HB-LEDs,

En VLC $s(t)$ (1.1) debe estar formada por una componente de continua ($s_{DC}(t)$), que determina el nivel de iluminación, y de una componente de alterna ($s_{AC}(t)$), que se corresponde con la señal de comunicación. Debido a esto, $i_D(t)$ (1.2) y $v_D(t)$ (1.3) tienen una componente de continua ($i_{D-DC}(t)$ y $v_{D-DC}(t)$) y una de alterna ($i_{D-AC}(t)$ y $v_{D-AC}(t)$) que se pueden deducir a través de las curvas intensidad de luz-corriente (ver la Figura 1.2b) y corriente-tensión (ver la Figura 1.2c).



$$s(t) = s_{DC} + s_{AC}(t), \quad (1.1)$$

$$i_D(t) = i_{D-DC} + i_{D-AC}(t), \quad (1.2)$$

$$v_D(t) = v_{D-DC} + v_{D-AC}(t). \quad (1.3)$$

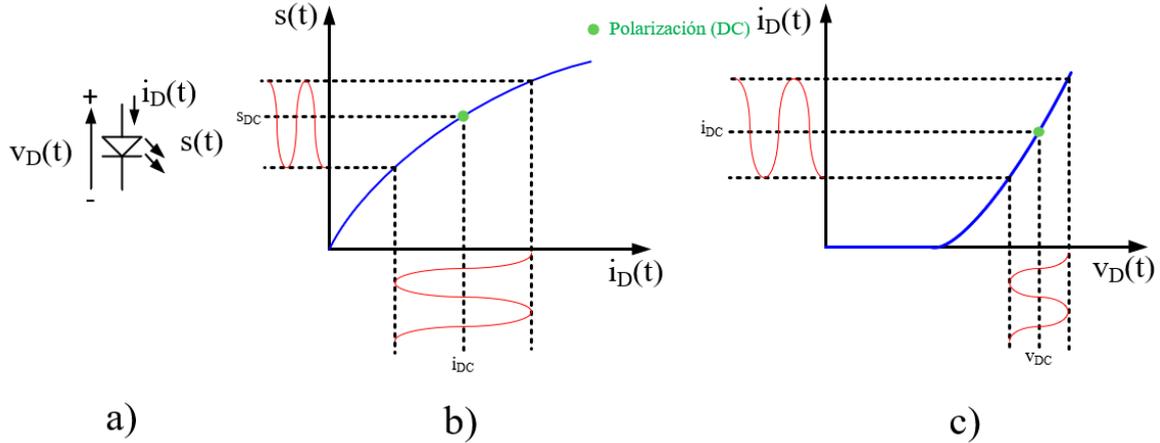


Figura 1.2: Funcionamiento del HB-LED. a) Símbolo para el esquema eléctrico del HB-LED. b) Curva intensidad de luz-corriente. c) Curva corriente-tensión de un HB-LED.

Es muy importante tener en cuenta el efecto de la temperatura del HB-LED sobre sus curvas tensión-corriente, ya que como muestra la Figura 1.3, el aumento de la temperatura de la unión del HB-LED (T_j) propicia la reducción de su tensión de codo (V_γ). En el caso de la relación intensidad de luz-corriente, el impacto de T_j en la curva es despreciable, lo que explica por qué los HB-LEDs suelen ser gobernados controlando la corriente: un nivel de corriente siempre asegura un cierto nivel de intensidad de luz, pero un nivel de tensión no asegura un cierto nivel de intensidad de luz debido a la dependencia con T_j . Por tanto, si se quiere controlar el HB-LED a través de la tensión aplicada entre sus terminales, es necesario tener en cuenta el efecto de T_j , y aplicar la tensión que asegure la intensidad de luz deseada. Por otro lado, es importante destacar que T_j afecta a V_γ , pero no a la pendiente de la curva corriente-tensión. Como consecuencia, la relación entre v_{D-DC} y s_{DC} depende de T_j , pero la relación entre $v_{D-AC}(t)$ y $s_{AC}(t)$, no.

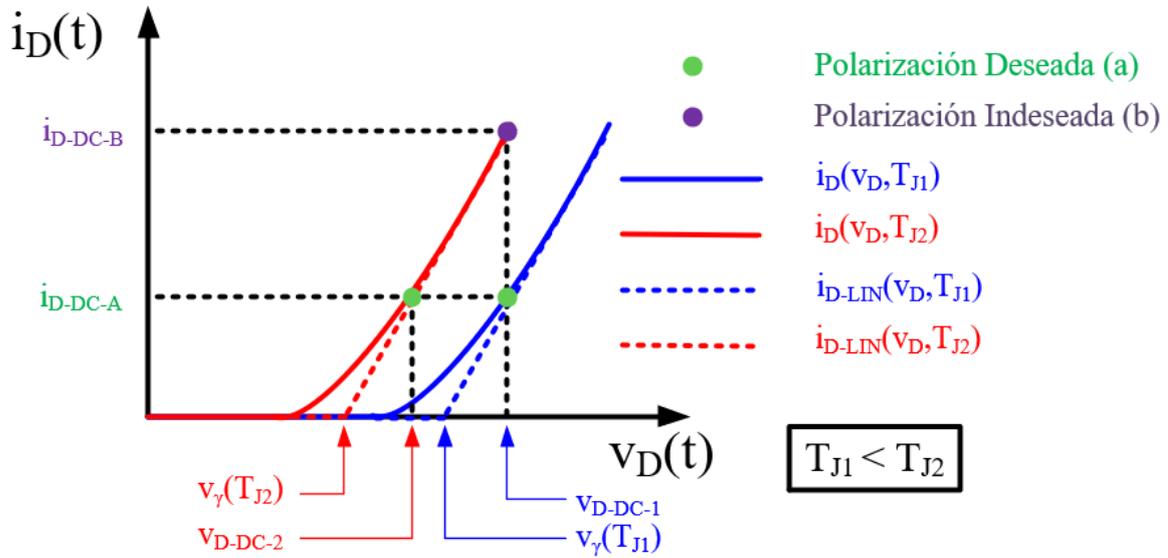


Figura 1.3: Efecto de la temperatura sobre la curva corriente-tensión de un HB-LED. Para las temperaturas T_{J1} y T_{J2} las tensiones de polarización adecuadas son v_{D-DC-1} y v_{D-DC-2} respectivamente. Nótese que i_{D-LIN} representa la aproximación lineal de la curva.

A modo de ejemplo, en la Figura 1.4 se muestra $s(t)$, $i_D(t)$, y $v_D(t)$ reproduciendo una señal de comunicación a la vez que se mantiene un nivel de iluminación s_{DC} para dos valores distintos de T_J . Se observa que $v_{D-AC}(t)$ que se debe aplicar no cambia con la temperatura, solo se debe modificar v_{D-DC} . Otro factor a tener en cuenta es que la amplitud de $v_{D-AC}(t)$ es de aproximadamente un orden de magnitud menor que v_{D-DC} .

Es muy importante señalar que los HB-LEDs están limitados en ancho de banda por la conversión de energía eléctrica a óptica, lo que hace que no sean capaces de reproducir fielmente las señales de comunicación de frecuencias muy elevadas. En el caso de los HB-LEDs de iluminación convencionales, este ancho de banda es de 3 MHz aproximadamente [8].

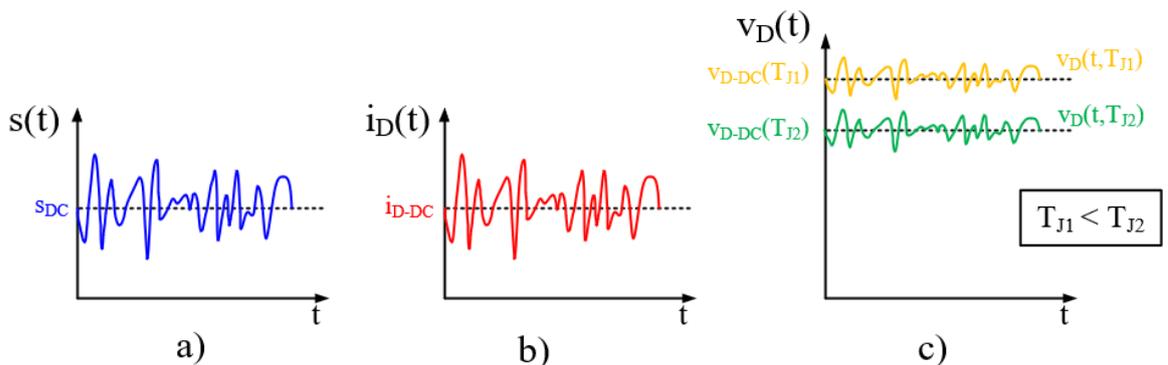


Figura 1.4: Formas de onda del HB-LED operando en VLC con s_{DC} constante y teniendo en cuenta el efecto de T_J . a) $s(t)$. b) $i_D(t)$. c) $v_D(t)$.



1.3.- Drivers de HB-LEDs para VLC

A fin de que los HB-LED puedan realizar las funciones de iluminación y transmisión de información correctamente es necesario controlarlos de manera adecuada. El *driver* de HB-LEDs es el circuito electrónico responsable de controlar la corriente y/o tensión en los HB-LEDs para conseguir la intensidad de luz deseada (ver la Figura 1.5).

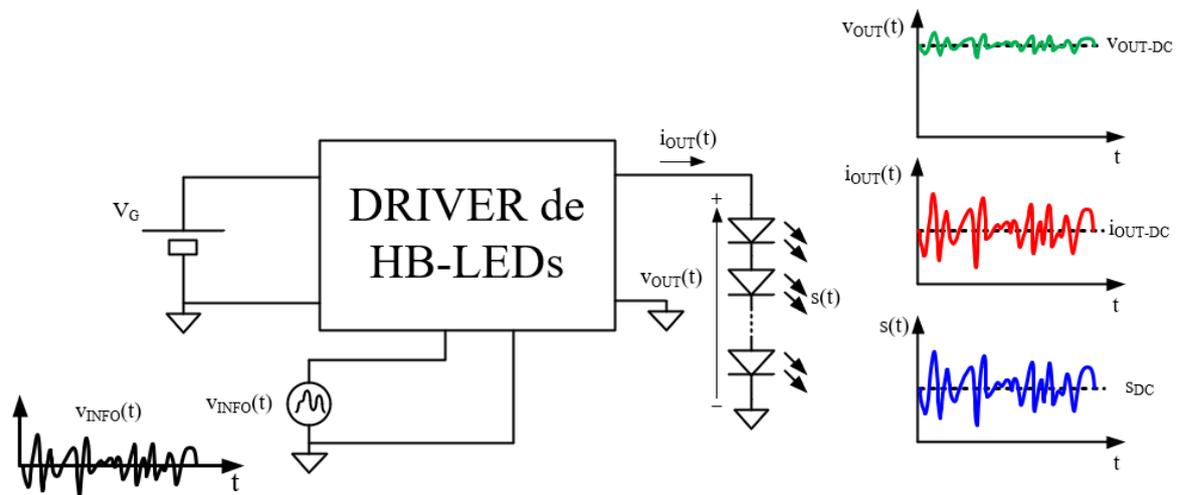


Figura 1.5: Esquema de un *driver* de HB-LEDs para VLC con sus principales formas de onda.

Los *drivers* de HB-LEDs para VLC deben reunir unas características exigentes. En primer lugar, deben ser capaces de controlar el punto de polarización de los HB-LEDs, de forma que el nivel de iluminación deseado, es decir S_{DC} , se mantenga constante independientemente del valor de T_j .

En segundo lugar, para permitir la transmisión de información, deben ser capaces de reproducir señales de comunicaciones dentro del ancho de banda del HB-LED. Cuanto mayor sea el ancho de banda de la señal de comunicación que se reproduce, mayor será la velocidad de transferencia de datos que se alcance. El objetivo es que la velocidad del *driver* sea mayor o igual que la de los HB-LEDs, para así aprovechar al máximo el ancho de banda que ofrecen.

En tercer lugar, el *driver* debe ser capaz de realizar cambios muy pequeños en la tensión sobre los HB-LEDs. Este requisito se puede entender teniendo en cuenta la curva corriente-tensión de los HB-LEDs (ver la Figura 1.3), donde se puede ver que una pequeña variación en la tensión en torno al punto de polarización produce una gran variación en la corriente y, por consiguiente, en la intensidad de luz. Como puede apreciarse, estas variaciones de tensión son mucho menores que el nivel de continua (ver la Figura 1.4).

Finalmente, el último requisito es que la incorporación de VLC a la infraestructura de iluminación existente no debe provocar un aumento excesivo del consumo energético. Por tanto, es necesario que el rendimiento energético del *driver* (η) sea elevado a fin de minimizar el consumo del sistema y que VLC pueda ser considerado como una alternativa viable. En otras palabras, el consumo energético del *driver* que implementa VLC debe ser



próximo al de un driver de iluminación convencional, es decir, en torno al 90%. Hay que aclarar que η evalúa la relación entre la potencia de salida del *driver* (P_{OUT}) y la potencia de entrada (P_G):

$$\eta = \frac{P_{OUT}}{P_G}. \quad (1.4)$$

En las secciones 1.3.1.- y 1.3.2.- se describen diferentes circuitos electrónicos que han sido propuestos para ser utilizados como *drivers* de HB-LEDs para VLC, resaltando qué características de las anteriores reúnen, así como sus ventajas y desventajas. Estas soluciones se pueden clasificar en dos categorías: Convertidores Conmutados de Potencia (SMPCs, siglas de *Switching-Mode Power Converters*) y Amplificadores Lineales de Potencia (LPAs, siglas de *Linear Power Amplifiers*)

1.3.1.- Drivers basados en SMPCs

Los SMPCs son circuitos electrónicos que proporcionan un nivel de tensión controlado a la salida, a partir de un nivel de tensión no controlada a la entrada. Debido a su alto rendimiento, son ampliamente utilizados como fuente de alimentación de continua [9].

Existen varios tipos de SMPCs atendiendo a diferentes criterios (si la tensión de salida es menor o mayor que la entrada, si la tensión de salida es constante o variable, etc.). De todos ellos, en el presente trabajo se estudia el convertidor reductor (ver la Figura 1.6) debido a que es la topología fundamental y la base de los SMPCs propuestos como *drivers* para VLC [11]-[13].

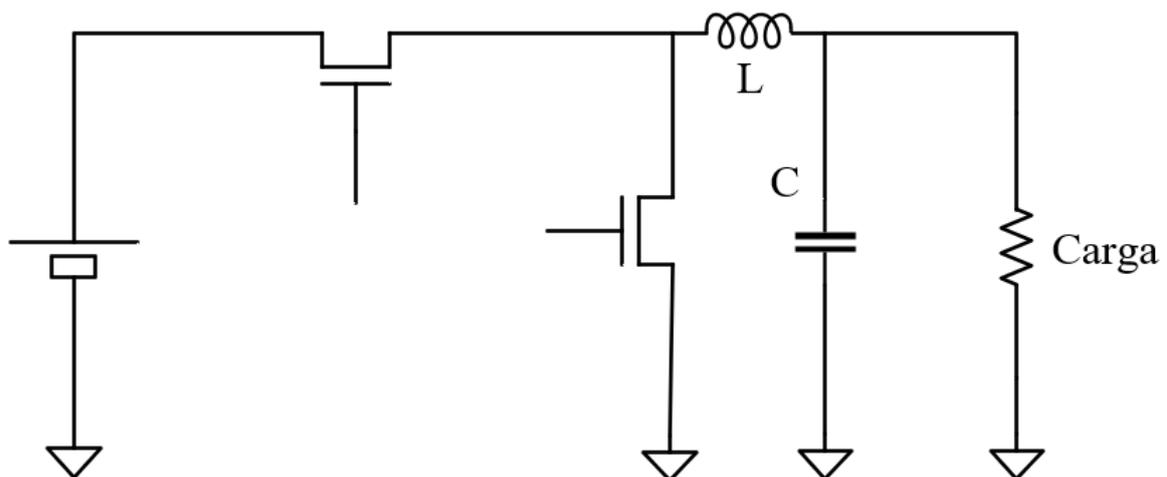


Figura 1.6

Figura 1.6: Esquema básico de un SMPC reductor.

En el SMPC reductor, los transistores operan en conmutación como dos interruptores electrónicos ideales, de forma que, cuando el transistor conduce corriente (interruptor cerrado) no soporta tensión y cuando soporta tensión (interruptor abierto) no conduce



corriente. Por consiguiente, no se disipa potencia en los transistores. Además, como el resto de los elementos, salvo la carga, son reactivos, el proceso de conversión no tiene pérdidas.

Normalmente se utilizan los transistores de efecto de campo metal-óxido-semiconductor (MOSFETs, siglas de *Metal-Oxide-Semiconductor Field-Effect Transistors*) como interruptores, que, en la práctica tienen pérdidas durante la conmutación. Estas pérdidas se deben a la convivencia de tensión y corriente durante las transiciones, y aumentan con la frecuencia de conmutación f_{SW} de los transistores.

Los SMPCs convencionales suelen utilizar f_{SW} bajas para reducir las pérdidas. De este modo, la gran mayoría de la potencia de entrada se transfiere a la salida, lo que implica que el SMPC tiene un η muy elevado (superior al 90% típicamente). Debido a su alta eficiencia, normalmente, se utilizan para polarizar los HB-LEDs para iluminación (ver la Figura 1.7).

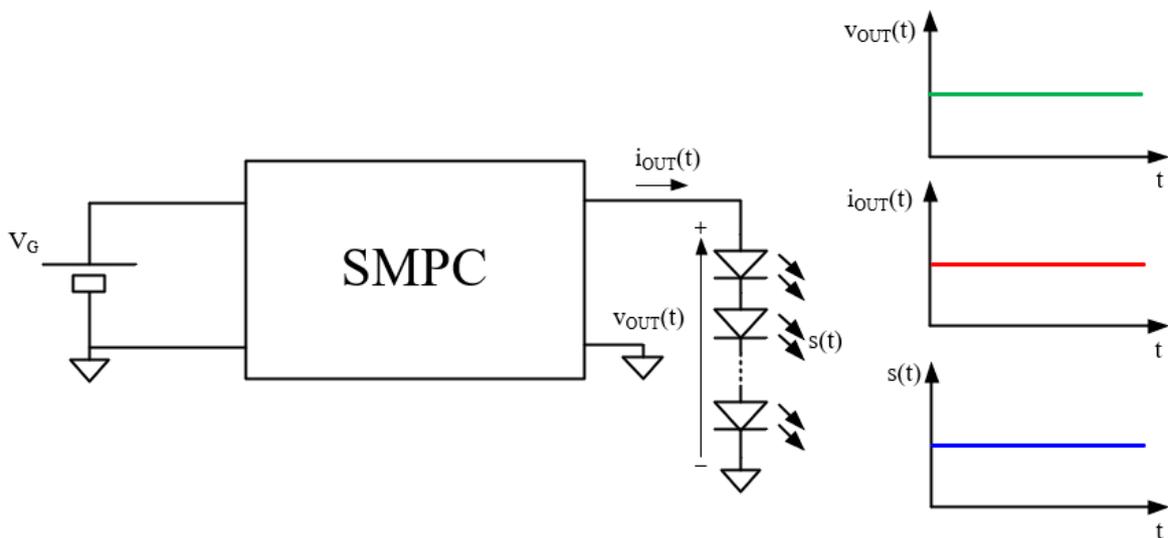


Figura 1.7: Esquema de un SMPC operando como *driver* de HB-LEDs para iluminación.

Aprovechando la topología del SMPC reductor, se han propuesto diseños que permiten reproducir señales de comunicaciones [10], [11]. En estos diseños el SMPC trabaja como un amplificador de potencia (PA, siglas de *Power Amplifier*).

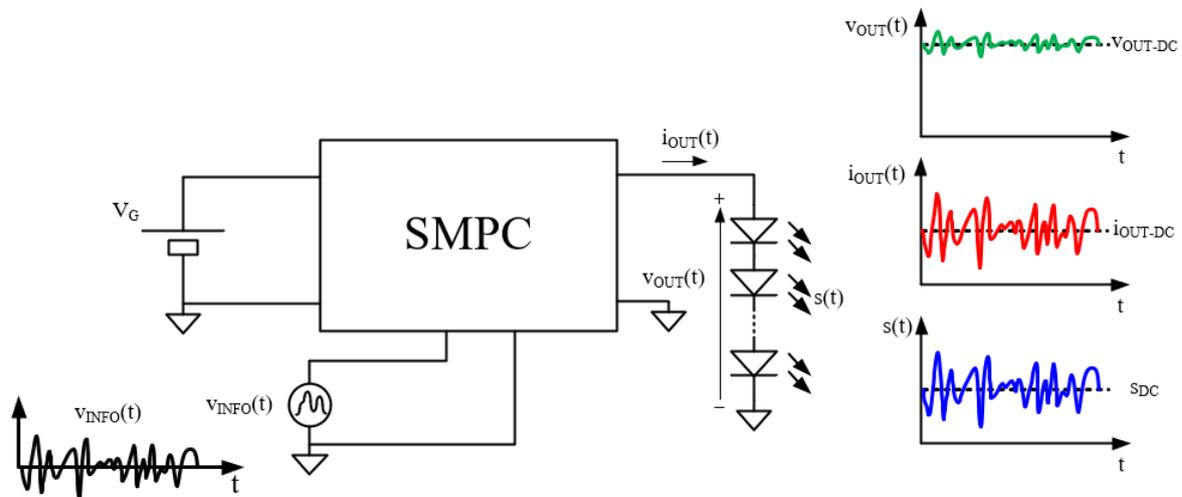


Figura 1.8: Esquema de un SMPC operando como *driver* de HB-LEDs para VLC.

En este caso, la señal de comunicación que se quiere reproducir debe ser muestreada a f_{SW} , y por tanto su frecuencia máxima ($f_{INFO-MAX}$) debe cumplir el teorema de muestreo de Nyquist-Shannon (ver expresión (1.5)). El ancho de banda del sistema viene determinado por $f_{INFO-MAX}$, que debe ser lo más alta posible dentro de los límites de los HB-LEDs para poder aprovechar todo el ancho de banda que proporcionan.

$$f_{INFO-MAX} \leq \frac{f_{SW}}{2}. \quad (1.5)$$

Para poder reproducir señales de comunicaciones, el SMPC como PA debe operar con f_{SW} elevada, por lo que su η se reduce. En cambio, si se reduce f_{SW} para mejorar el rendimiento, $f_{INFO-MAX}$ también lo hará, por lo que no se podrá aprovechar todo el ancho de banda de los HB-LEDs.

En conclusión, los SMPCs como PAs, son capaces de reproducir señales de comunicaciones y permiten controlar el punto de polarización, pero existe un compromiso entre ancho de banda y rendimiento energético.

1.3.2.- Drivers basados en LPAs

Los LPA son dispositivos que se encargan de elevar la potencia de señales para que puedan ser transmitidas, por lo que, típicamente se encontrarán al final de las etapas transmisoras de los circuitos de comunicaciones. Las etapas transmisoras son las encargadas de modular y amplificar la señal de información antes de su transmisión a través del canal de comunicaciones.

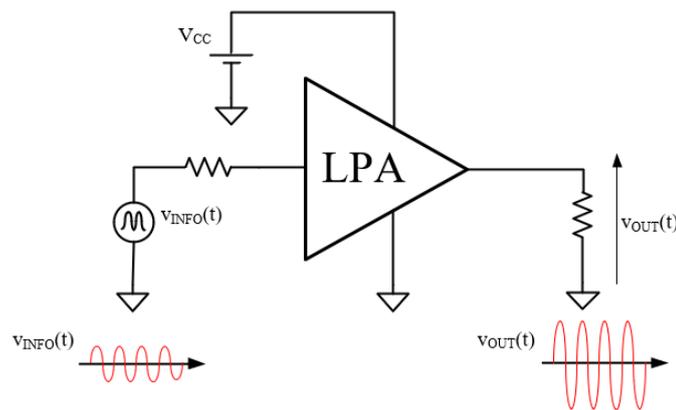


Figura 1.9: Esquema genérico de un LPA reproduciendo una señal de comunicaciones donde la carga modela la antena transmisora.

Para proporcionar un factor de ganancia a la señal de comunicaciones, los LPA utilizan un elemento activo polarizado en zona activa. La polarización en zona activa permite obtener gran ancho de banda y relación lineal entre la entrada y la salida, pero hace que el rendimiento del LPA (η_{PA}) sea muy bajo, es decir, gran parte de la potencia obtenida de la fuente no se traduce en potencia de señal a la salida y se desaprovecha en forma de calor.

$$\eta_{PA} = \frac{P_{OUT}}{P_{CC}}. \quad (1.6)$$

En la Figura 1.10 se muestra un ejemplo de esquema de un LPA basado en un transistor.

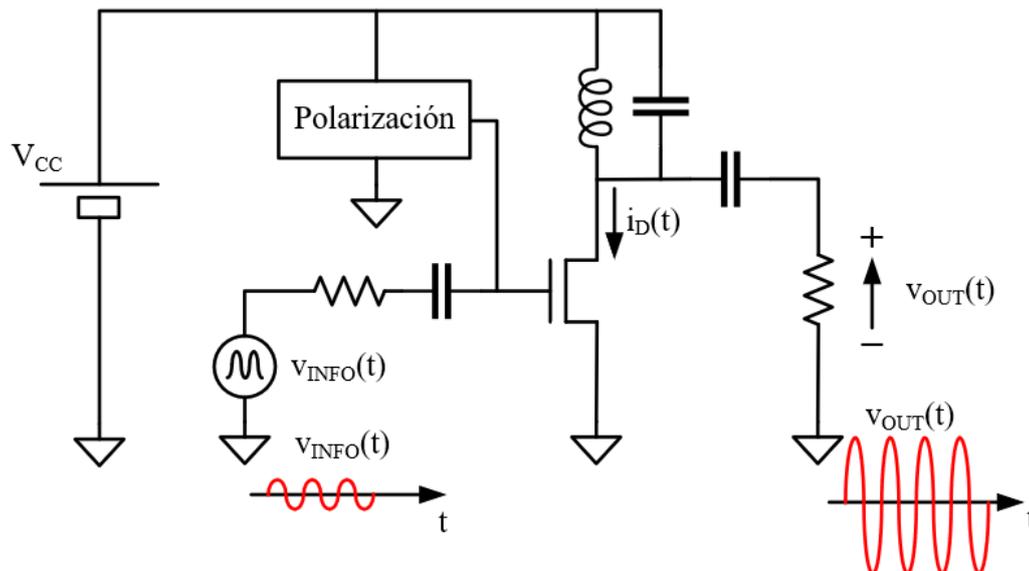


Figura 1.10: Esquema de un LPA reproduciendo señales de comunicaciones.

Los LPA se encargan únicamente de reproducir señales de comunicación, no siendo capaces de generar un nivel de continua controlable que permita realizar una polarización



adecuada de los HB-LEDs. Por tanto, en VLC, operan junto a un dispositivo que polariza los HB-LEDs, por ejemplo, un SMPC (ver Figura 1.11).

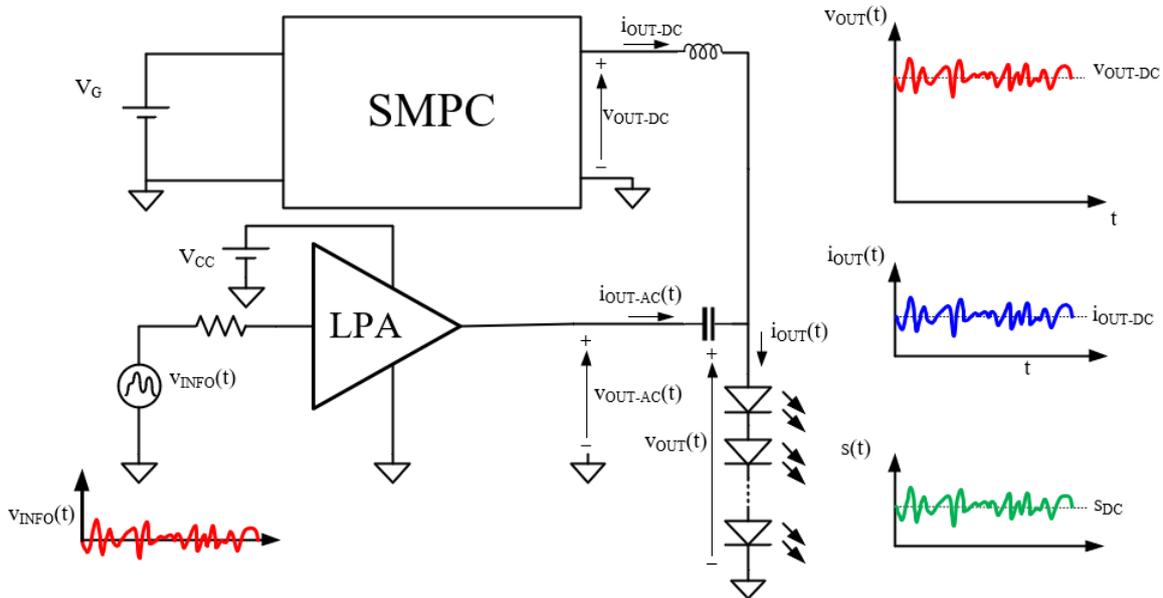


Figura 1.11: Esquema de un LPA reproduciendo señales de comunicaciones para VLC, donde la polarización de los HB-LEDs viene dada por el SMPC.

En este caso el cálculo del rendimiento global se puede dividir en el rendimiento en la reproducción de señales (η_{AC}) y el rendimiento en el control del punto de polarización (η_{DC}). De esta forma se puede evaluar qué bloques perjudican el rendimiento.

El rendimiento en la reproducción de señales η_{AC} viene determinado por el rendimiento del LPA utilizado y sigue la expresión (1.7), donde P_{OUT-AC} es la potencia de alterna que el LPA proporciona a los HB-LEDs y P_{CC} es la potencia extraída de la fuente de tensión (V_{CC}) que alimenta el LPA.

$$\eta_{AC} = \frac{P_{OUT-AC}}{P_{CC}}. \quad (1.7)$$

El rendimiento en el control del punto de polarización η_{DC} sigue la expresión (1.8), donde P_{OUT-DC} es la potencia que el SMPC proporciona para polarizar los HB-LEDs y P_G es la potencia extraída de la fuente que aporta la tensión de entrada (V_G) al SMPC.

$$\eta_{DC} = \frac{P_{OUT-DC}}{P_G}. \quad (1.8)$$

El rendimiento global (es decir, η) se obtiene relacionando la potencia total que se aporta a los HB-LEDs (P_{OUT}) y la potencia de entrada (P_{IN}):

$$P_{OUT} = P_{OUT-AC} + P_{OUT-DC}, \quad (1.9)$$



$$P_{IN} = P_{CC} + P_G, \quad (1.10)$$

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT-AC} + P_{OUT-DC}}{\frac{P_{OUT-AC}}{\eta_{AC}} + \frac{P_{OUT-DC}}{\eta_{DC}}}. \quad (1.11)$$

Definiendo x como el cociente entre P_{OUT-AC} y P_{OUT-DC} (ver la expresión (1.12)), se puede definir el rendimiento en función de x , η_{AC} y η_D :

$$x = \frac{P_{OUT-AC}}{P_{OUT-DC}}, \quad (1.12)$$

$$\eta(x) = \eta_{AC} \cdot \eta_{DC} \cdot \frac{1 + x}{x \cdot \eta_{DC} + \eta_{AC}}, \quad (1.13)$$

$$\lim_{x \rightarrow 0} \eta(x) = \eta_{DC}. \quad (1.14)$$

La expresión (1.14) indica que, a medida que se reduce x , el rendimiento global tiende a η_{DC} . Es decir, cuanto menor sea P_{OUT-AC} respecto a P_{OUT-DC} , menor peso tendrá η_{AC} en el cálculo del rendimiento global.

Al utilizar un SMPC convencional para polarizar los HB-LEDs se puede conseguir un η aceptable, pese al pobre η_{AC} del LPA, debido al η_{DC} tan elevado de los SMPC. Se puede pensar en reducir P_{OUT-AC} , para aumentar aún más η , sin embargo, utilizar una P_{OUT-AC} pequeña reduce el alcance de la comunicación por lo que es una solución contraproducente.

En conclusión, teniendo en cuenta las características requeridas por el *driver* de HB-LEDs expuestas anteriormente, un LPA permite reproducir señales de comunicaciones en todo el ancho de banda del HB-LED, pero no genera el nivel de continua necesario para polarizar el HB-LED y proporcionar el nivel de iluminación deseado. Por otra parte, el η_{PA} de los LPAs es muy pobre, siendo necesario recurrir otras alternativas más eficientes.

1.4.- Objetivo y Estructura del Documento

Durante el presente capítulo se ha mostrado la problemática de conseguir *drivers* de HB-LEDs para VLC que aprovechen todo el ancho de banda con alto η . Debido a esto, el propósito del presente trabajo es presentar un Amplificador de Potencia Conmutado (SMPA, siglas de *Switching-Mode Power Amplifier*) pensado para operar de forma conjunta con un SMPC que polarice los HB-LEDs con un η_{DC} elevado. Esta alternativa busca mejorar el η_{PA} de los LPA aprovechando todo el ancho de banda de los HB-LEDs.

La estructura del documento es la siguiente:

En el capítulo 2 se introducen los SPMA como alternativa para un *driver* de HB-LEDs, explicando el funcionamiento de un SMPA muy interesante para VLC.



En el capítulo 3 se aborda la modulación de ancho de pulso (PWM, siglas de Pulse-Width Modulation), explicando el funcionamiento del prototipo de modulador diseñado y comparándolo con otra alternativa.

El capítulo 4 se centra en el SMPA diseñado, explicando su funcionamiento en detalle y comentando los resultados experimentales obtenidos.

Finalmente, en el capítulo 5 se exponen las conclusiones extraídas del trabajo realizado, se indican posibles trabajos futuros que continúen la investigación y se muestra la lista de tareas realizadas durante el trabajo.



2.- SMPA COMO DRIVER PARA VLC

Al igual que los LPAs, los SMPAs son dispositivos que se encargan de elevar la potencia de señales para que puedan ser transmitidas. En este caso, el elemento activo (es decir, el transistor) opera como un interruptor electrónico que conmuta entre corte y saturación. Como ocurre con los SMPCs, este tipo de operación permite alcanzar rendimientos energéticos mayores que el de los LPAs.

2.1.- SMPA Clase D PWM

El SMPA clase D PWM utiliza dos elementos activos conmutando alternativamente (M_1 y M_2) para generar una onda cuadrada $v_{SW}(t)$, que se corresponde con la PWM de la señal de entrada ($v_{INFO}(t)$). Después, $v_{SW}(t)$ se filtra dejando a la salida la señal de entrada ($v_{INFO}(t)$) amplificada ($v_{OUT}(t)$). Al operar en conmutación, idealmente, no existen pérdidas, por lo que el rendimiento teórico del SMPA clase D PWM es del 100%.

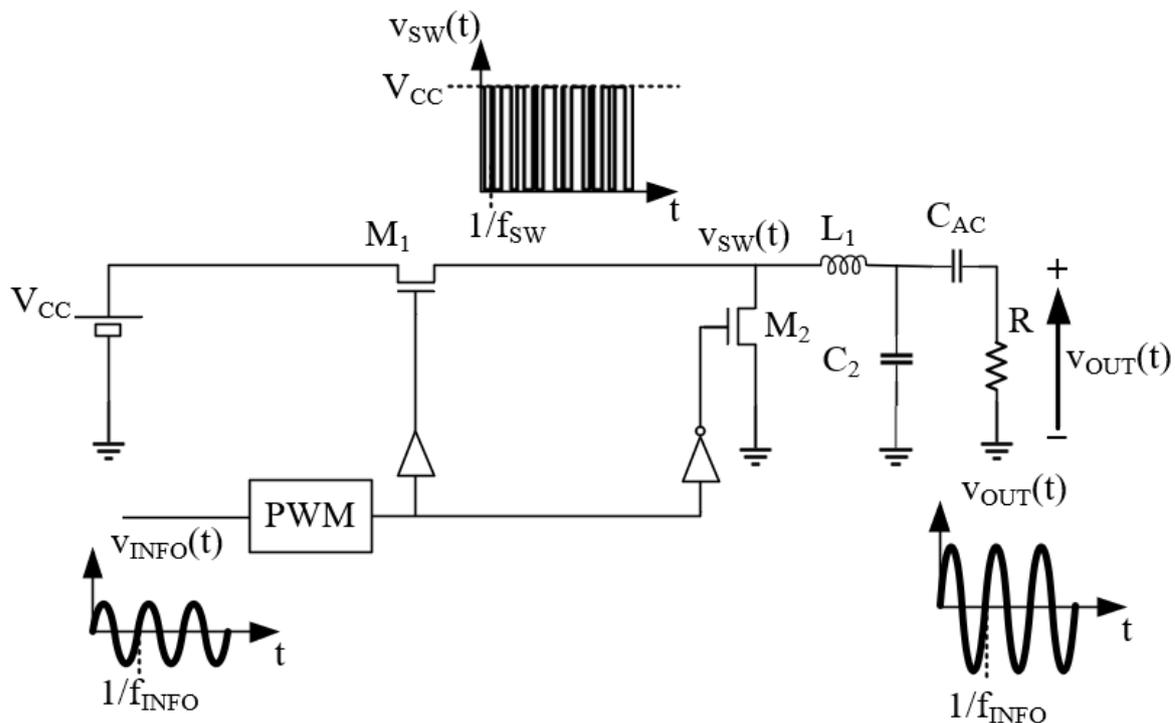


Figura 2.1: Esquema del SMPA clase D PWM con sus principales formas de onda.

2.1.1.- Funcionamiento

En primer lugar, se describe el funcionamiento sin considerar el efecto del condensador C_{AC} (ver la Figura 2.1) y con tensión de salida constante, para después explicar las modificaciones necesarias para obtener tensión de salida variable considerando C_{AC} .



El principio de operación se basa en generar una onda cuadrada ($v_{sw}(t)$) (a frecuencia de conmutación, f_{sw} , y de amplitud igual a la tensión de alimentación, V_{CC}) conmutando alternativamente M_1 y M_2 (ver la Figura 2.2).

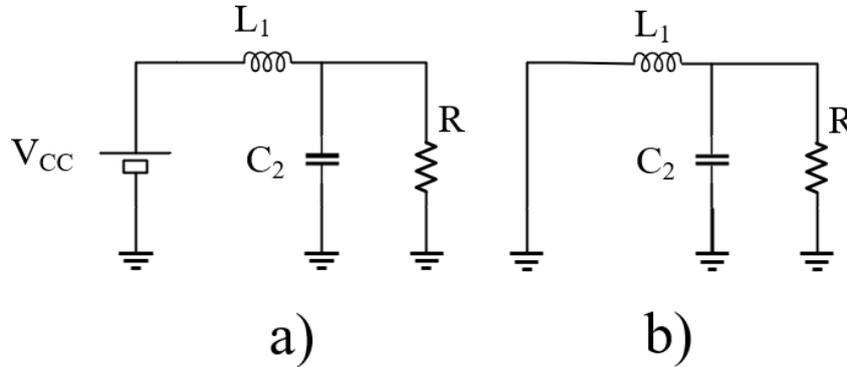


Figura 2.2: Subcircuitos correspondientes a la conmutación alternativa de M_1 y M_2 para generar $v_{sw}(t)$. a) M_1 conduce, M_2 no conduce, $v_{sw}(t) = V_{CC}$. b) M_1 no conduce, M_2 conduce, $v_{sw}(t) = 0$.

Después, $v_{sw}(t)$ se filtra conservando únicamente su valor medio. El valor medio de $v_{sw}(t)$ será la tensión de salida del SMPA (V_{OUT}) que, como se puede observar en la Figura 2.3, depende linealmente del ciclo de trabajo (d) y de la amplitud de la onda cuadrada (V_{CC}).

$$V_{OUT} = d \cdot V_{CC}. \tag{2.1}$$

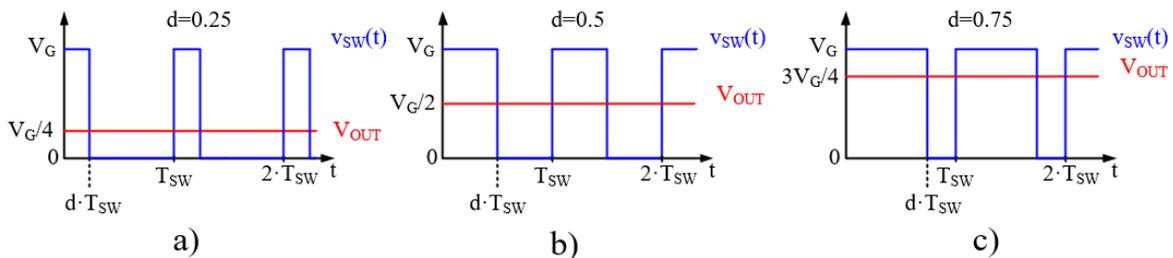


Figura 2.3: Formas de onda de V_{OUT} y $v_{sw}(t)$ para diferente d . a) $d = 0.25$. b) $d = 0.5$. c) $d = 0.75$.

Como V_{OUT} depende del ancho de los pulsos de $v_{sw}(t)$, se puede afirmar que esta topología se controla por medio de PWM.

Para obtener tensión de salida variable ($v_{OUT}(t)$), se varía $d(t)$, conservándose la relación lineal entre ambas magnitudes.

$$v_{OUT}(t) = d(t) \cdot V_{CC}. \tag{2.2}$$

Teniendo en cuenta la expresión (2.2), $v_{OUT}(t)$ varía en el rango de 0 a V_{CC} , por lo que tiene una componente de continua que debe ser eliminada. Para ello se utiliza el condensador C_{AC} , que al situarse en serie, realiza un filtrado paso-alto de $v_{OUT}(t)$, eliminando la continua sin alterar la componente de alterna. Al eliminar la continua la expresión de $v_{OUT}(t)$ cambia:



$$v_{OUT}(t) = d(t) \cdot V_{CC} - \frac{V_{CC}}{2}. \quad (2.3)$$

Como se puede observar en la expresión (2.3), el SMPA clase D PWM traduce linealmente las variaciones de $d(t)$ en variaciones de $v_{OUT}(t)$.

Al utilizar PWM, $d(t)$ depende linealmente del valor de amplitud instantánea de la señal de entrada ($v_{INFO}(t)$) según la expresión (2.4), donde k es una constante que depende del modulador utilizado.

$$d(t) = k \cdot v_{INFO}(t). \quad (2.4)$$

Sustituyendo $d(t)$ en la expresión 2.3 por la expresión 2.4 se obtiene:

$$v_{OUT}(t) = V_{CC} \cdot k \cdot v_{INFO}(t) - V_{CC}/2. \quad (2.5)$$

Como se puede apreciar en la expresión (2.5), la $v_{OUT}(t)$ se relaciona con $v_{INFO}(t)$ por medio de un factor de ganancia constante. Por tanto, los SMPAs clase D PWM son capaces de reproducir, sin distorsión, señales de envolvente variable.

2.1.2.- Pérdidas

Al igual que en el SMPC reductor, se utilizan MOSFETs que operan en conmutación, de modo que, en la práctica, existen pérdidas que hacen que el rendimiento sea menor que el teórico.

Dichas pérdidas se deben principalmente a la energía necesaria para cargar las capacidades parásitas de entrada (C_{ISS}) [14] y de salida (C_{OSS}) [15] del MOSFET (ver la Figura 2.4).

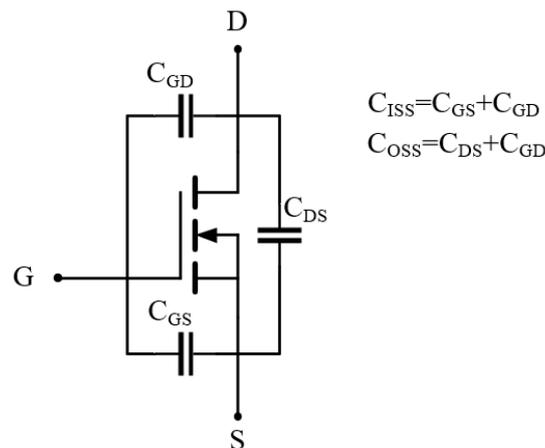


Figura 2.4: Símbolo del MOSFET con sus terminales (G: Puerta, D: Drenador, S: Fuente), sus capacidades parásitas: Drenador-fuente C_{DS} , puerta-drenador C_{GD} y puerta-fuente C_{GS} ; y su relación con C_{ISS} y C_{OSS} .

Las pérdidas de puerta de un MOSFET (P_{GATE}) dependen de la carga de C_{ISS} (Q_{GATE}), de la tensión de puerta aplicada (V_{GATE}) y f_{SW} [14]. Como la carga y la capacidad se



relacionan por medio de la tensión (ver la expresión 2.7), se puede reescribir la expresión 2.6 de forma que P_{GATE} dependa de C_{ISS} (ver la expresión 2.8), que es el parámetro que proporciona el fabricante.

$$P_{GATE} = Q_{GATE} \cdot V_{GATE} \cdot f_{SW}, \quad (2.6)$$

$$Q_{GATE} = C_{ISS} \cdot V_{GATE}, \quad (2.7)$$

$$P_{GATE} = C_{ISS} \cdot V_{GATE}^2 \cdot f_{SW}. \quad (2.8)$$

Además de P_{GATE} , se han de tener en cuenta las pérdidas debidas a C_{OSS} (P_{COSS}). Dichas pérdidas dependen de la tensión de alimentación del amplificador (V_{CC}), de f_{SW} y de la propia C_{OSS} , según la expresión 2.9 [15].

$$P_{COSS} \approx \frac{C_{OSS} \cdot V_{CC}^2 \cdot f_{SW}}{2}. \quad (2.9)$$

Como se puede observar en las expresiones 2.8 y 2.9, las pérdidas de los MOSFETs aumentan con la frecuencia de trabajo.

2.1.3.- Ancho de banda

Como se puede deducir del desarrollo del apartado 2.1.1.-, el filtro del SMPA clase D PWM debe ser de tipo paso-banda para rechazar la componente de continua y todos los armónicos de f_{SW} presentes en $v_{SW}(t)$ (ver la Figura 2.5). El ancho de banda disponible para $v_{INFO}(t)$ (BW_{INFO}) depende principalmente de la f_{SW} a la que se trabaje. Cuanto más alta sea f_{SW} , mayor BW_{INFO} y, por consiguiente, se podrán alcanzar mayores tasas de transmisión de datos.

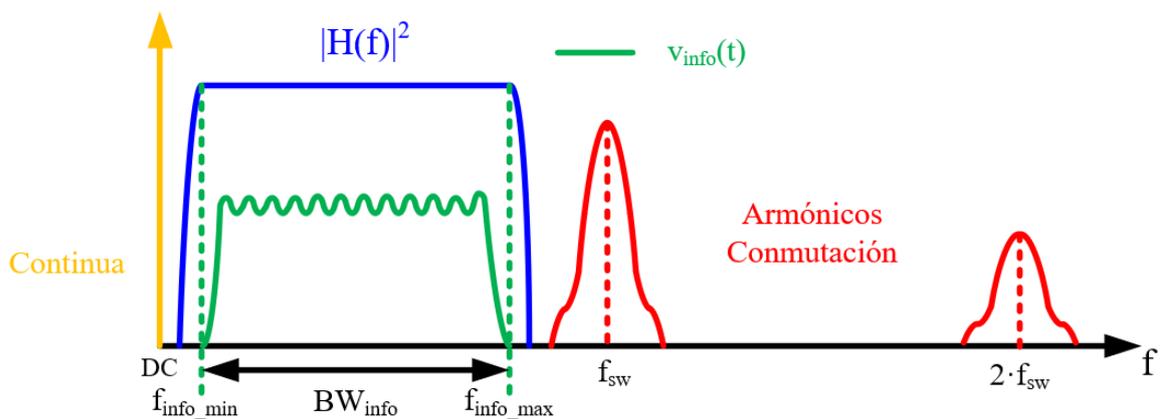


Figura 2.5: Filtrado paso-banda en un SMPA clase D PWM.

Sin embargo, al elevar f_{SW} las pérdidas aumentan y el rendimiento se reduce, siendo necesario llegar a un compromiso entre rendimiento y BW_{INFO} . De este compromiso se deduce que para maximizar tanto el rendimiento como BW_{INFO} es interesante que f_{SW} y $f_{INFO-MAX}$ estén lo más próximas posible.



2.1.4.- Aplicación para VLC

El SMPA clase D PWM no es capaz de generar la polarización de los HB-LEDs. Por tanto, necesita operar junto a un dispositivo que se encargue de esta tarea, por ejemplo, un SMPC. Como consecuencia, el cálculo del rendimiento global es idéntico al del caso del LPA, donde η_{AC} se corresponde con el rendimiento del SMPA clase D PWM (elevado) y η_{DC} con el del SMPC (muy elevado).

Tabla 2.1: Rendimientos típicos de los dispositivos analizados en el presente trabajo.

Dispositivo	SMPC convencional	SMPC como PA	LPA	SMPA clase D PWM
Rendimiento	Muy elevado	Elevado	Bajo	Elevado

Teniendo en cuenta que en este caso el η_{AC} es más alto que con el LPA, se conseguirá un rendimiento global más alto, ya que el SMPC para polarizar no cambia. Por otra parte, al combinar un η_{AC} elevado con un η_{DC} muy elevado, se consigue un rendimiento más alto que en las topologías que utilizan un SMPC como PA cuyo rendimiento global es elevado.

Con vistas a su utilización como *driver* de HB-LEDs, el SMPA clase D PWM es una alternativa interesante, ya que combina el alto rendimiento de los SMPAs conmutados con la capacidad de reproducir señales de envolvente variable, en todo el ancho de banda de los HB-LEDs, que tienen los LPAs.

2.2.- Filtrado de los armónicos de conmutación en SMPA clase D PWM

En el apartado 2.1.- se ha supuesto un efecto idealizado del filtro paso-banda del SMPA clase D, donde las componentes correspondientes a la conmutación son atenuadas en gran medida sin introducir distorsión a la señal que se quiere amplificar. Con una topología como la de la Figura 2.1 no es posible, ya que el filtro es muy sencillo y tiene poca pendiente, por lo que requeriría una gran separación entre f_{SW} y $f_{INFO-MAX}$. Esto es contraproducente para BW_{INFO} y η_{AC} del SMPA, como ya se ha comentado en el subapartado 2.1.3.-.

Ante esta problemática se han estudiado dos alternativas: las topologías multifase y los filtros de alto orden.

2.2.1.- Topologías multifase

Las topologías multifase (ver la Figura 2.6) permiten cancelar armónicos de la tensión de conmutación y facilitar su filtrado [10], de forma que se pueda reducir la separación entre f_{SW} y $f_{INFO-MAX}$ y, por tanto, maximizar el ancho de banda de la señal transmitida. Estas topologías se componen de múltiples fases que conmutan desfasadas entre sí.

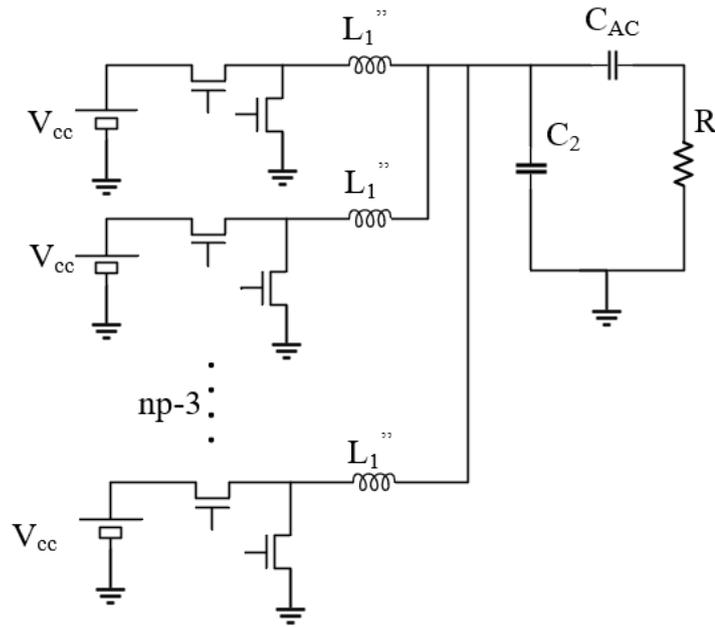


Figura 2.6: Esquema de topología multifase con np fases.

El desfase necesario entre cada fase depende del número de fases (np) según la expresión (2.10).

$$Desfase [^\circ] = \frac{360^\circ}{np}. \quad (2.10)$$

De acuerdo a la expresión (2.10), en una topología $np = 4$, por ejemplo, los desfases de cada fase serían: $0, 90^\circ, 180^\circ$ y 270° .

El esquema de la Figura 2.6 se puede simplificar para observar mejor el funcionamiento de las topologías multifase (Figura 2.7). En primer lugar, las tensiones en los nodos de conmutación de cada fase ($v_{PH1}(t), v_{PH2}(t), \dots, v_{PHnp}(t)$) se pueden sustituir por fuentes de tensión ideales de onda cuadrada (ver la Figura 2.7 a)). Aplicando los teoremas de superposición y de Thevenin [16], se suman las fuentes y se sustituyen las np bobinas por una equivalente (ver la Figura 2.7 b)). La suma de las fuentes dividida entre el número de fases es equivalente a aplicar un filtro *notch* sobre $v_{PH1}(t)$ que elimina los armónicos que no son múltiplos de np (ver la Figura 2.7 c)). Además, la amplitud de la onda cuadrada resultante se reduce según se aumenta np (ver la expresión (2.11)) facilitando aún más el filtrado.

$$Amplitud(np) = \frac{Amplitud(1)}{np}. \quad (2.11)$$

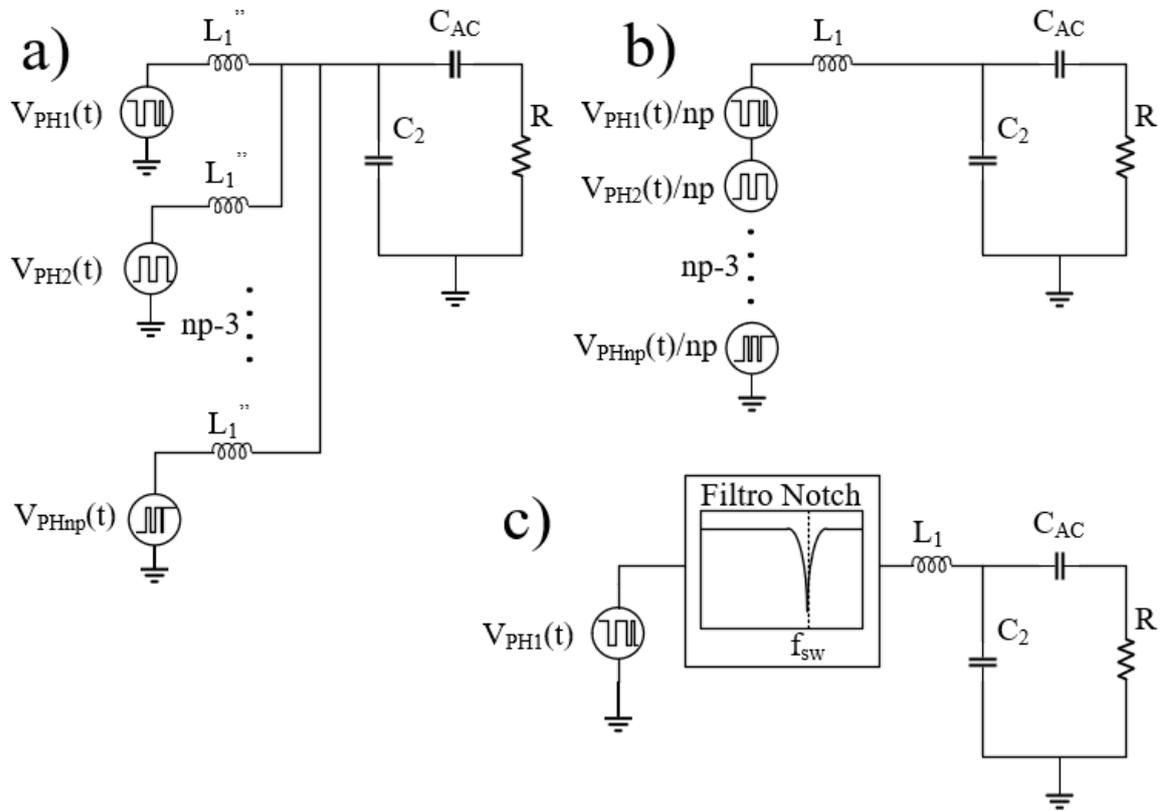


Figura 2.7: Simplificación de la topología multifase. a) Sustitución de transistores por fuentes. b) Aplicación teoremas de Thevenin y superposición. c) Equivalente con filtro *notch*.

En la Figura 2.8, se muestra un ejemplo de las formas de onda para una topología de dos fases ($np = 2$). Se puede apreciar que la frecuencia de la señal suma (ver la Figura 2.8 c)) es el doble que f_{sw} ($f_{sw} = 1/T_{sw}$) y que la amplitud es la mitad que la de $v_{PH1}(t)$ o $v_{PH2}(t)$ (ver la Figura 2.8 a) y b)).

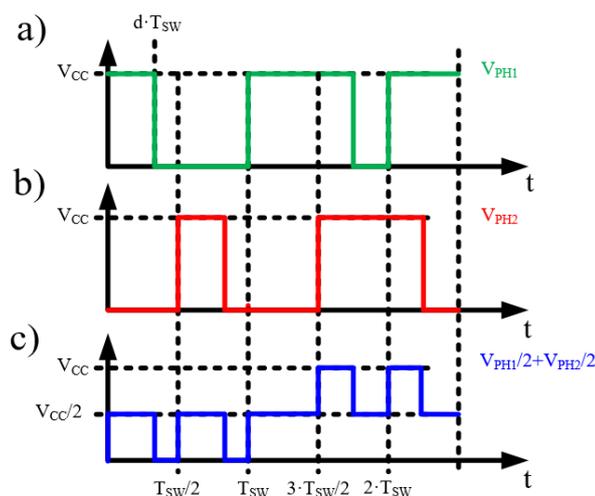


Figura 2.8: Formas de onda de la tensión en los nodos de conmutación de la topología de dos fases. a) $V_{PH1}(t)$. b) $V_{PH2}(t)$. c) $(V_{PH1}(t)/2 + V_{PH2}(t))/2$.

En la Tabla 2.2 se muestran los armónicos, hasta $k = 16$, a tener en cuenta en cada topología (●), es decir, los que no son eliminados por el efecto de filtro *notch*.



Tabla 2.2: Armónicos presentes en cada topología multifase estudiada.

		ARMÓNICOS															
		1°	2°	3°	4°	5°	6°	7°	8°	9°	10°	11°	12°	13°	14°	15°	16°
FASES	1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
	2		•		•		•		•		•		•		•		•
	3			•			•			•			•			•	
	4				•				•				•				•

De esta forma el primer armónico a tener en cuenta en una topología de dos fases sería el segundo, en una topología de tres fases, el tercero, y en una topología de cuatro fases, el cuarto.

Teniendo en cuenta todo lo anterior, según se aumenta el número de fases la componente de conmutación a filtrar será de mayor frecuencia y de menor amplitud. Por tanto, el filtrado de la señal será más sencillo.

Sin embargo, al aumentar el número de fases se aumenta el número de transistores necesarios y, por tanto, las pérdidas debidas a su conmutación. Además, también aumenta la complejidad del control de los transistores ya que es necesario generar múltiples señales de control idénticas desfasadas entre sí un ángulo determinado.

2.2.2.- Filtros de alto orden

Otra alternativa es recurrir a topologías de filtro más complejas que consigan un mayor rechazo de f_{SW} sin afectar a la señal deseada.

Los filtros analógicos [17] se pueden clasificar según las siguientes características:

- Su respuesta en frecuencia: paso-bajo, paso-alto, paso-banda, etc.
- Su función de transferencia: dependiendo del tipo de función de transferencia propiedades como el nivel rizado en la banda de paso, retardo de grupo o pendiente cambian. Algunos tipos son: Butterworth, Bessel, Chebyshev o elípticos.
- Su orden: Grado de aceptación o rechazo de frecuencias por encima o por debajo de la frecuencia de corte. En los filtros estudiados en el presente trabajo, el orden viene determinado por el número de elementos reactivos (n) que posee el filtro.

A continuación, se muestra un ejemplo de filtro LC paso-bajo de tipo Butterworth con diferentes órdenes pares. En la Figura 2.9 se muestra el esquema genérico del filtro de ejemplo, donde n representa el orden del filtro.

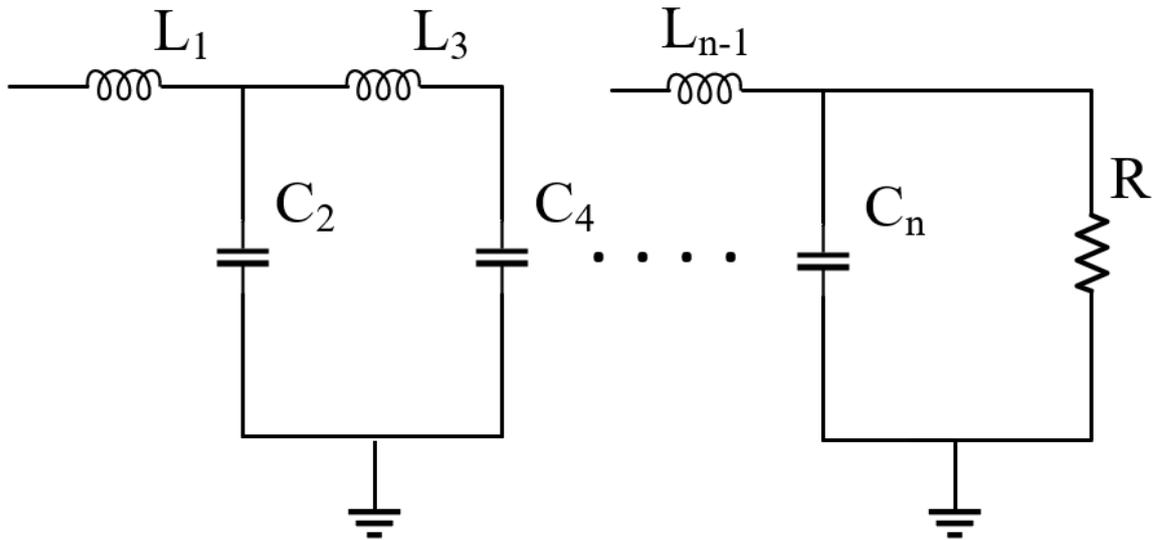


Figura 2.9: Filtro LC paso-bajo de orden n con entrada inductiva.

En la Figura 2.10 se muestran las funciones de transferencia para los 5 primeros ordenes pares de un filtro Butterworth paso-bajo. Como se puede observar, según se aumenta el orden, la pendiente se va haciendo más acusada, lo que indica mayor atenuación.

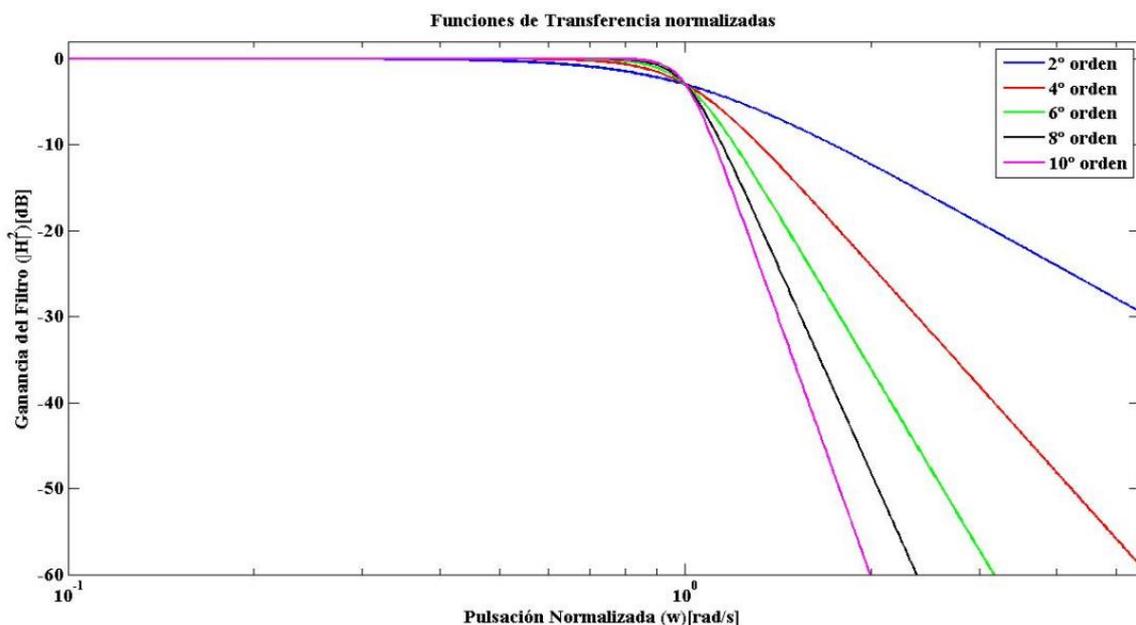


Figura 2.10: Funciones de transferencia de filtros Butterworth para distintos órdenes pares.

Podría parecer adecuado situar un filtro del orden más alto posible para maximizar la atenuación de las componentes de conmutación, pero esto implicaría utilizar un elevado número de elementos reactivos, lo cual repercute en el tamaño y la complejidad del amplificador.

Como se ha comentado anteriormente, el filtro necesario en el amplificador clase D PWM es de tipo paso-banda, no solo para eliminar las componentes de conmutación (efecto



paso-bajo), sino que también para eliminar el nivel de continua (efecto paso-alto). Sin embargo, los requisitos de filtrado paso-alto no son tan exigentes como en el caso del paso-bajo y se puede utilizar un filtro simple de un componente que se sitúe en serie con un filtro paso-bajo más complejo.



3.- PWM

La PWM consiste en variar el ciclo de trabajo de una señal cuadrada ($v_{INFO-PWM}(t)$) de acuerdo a las variaciones de la señal que lleva la información ($v_{INFO}(t)$). Habitualmente se utiliza en aplicaciones relacionadas con la conversión de energía y el control de motores.

3.1.- Tipos de PWM

En el presente apartado se explica el funcionamiento de la PWM ideal (3.1.1.-), para después describir los dos tipos principales de PWM: PWM analógica (3.1.2.-) y digital (3.1.3.-).

3.1.1.- PWM ideal

La PWM ideal se basa en tomar muestras (m) de $v_{INFO}(t)$ y, en base al valor obtenido (v_m), generar un pulso de ancho proporcional a dicho valor centrado en el instante de muestreo t_m . El tren de pulsos obtenido en la salida es la señal $v_{INFO-PWM}(t)$, cuya frecuencia ($f_{INFO-PWM}$) coincide con la frecuencia de muestreo (f_{MUES}).

$$f_{INFO-PWM} = f_{MUES} = \frac{1}{t_{m+1} - t_m}. \quad (3.1)$$

En la Figura 3.1 se puede apreciar un ejemplo de la PWM ideal, en la cual, a partir de una muestra de valor v_1 tomada en un instante t_1 , se genera un pulso centrado en t_1 de ciclo de trabajo proporcional a v_1 .

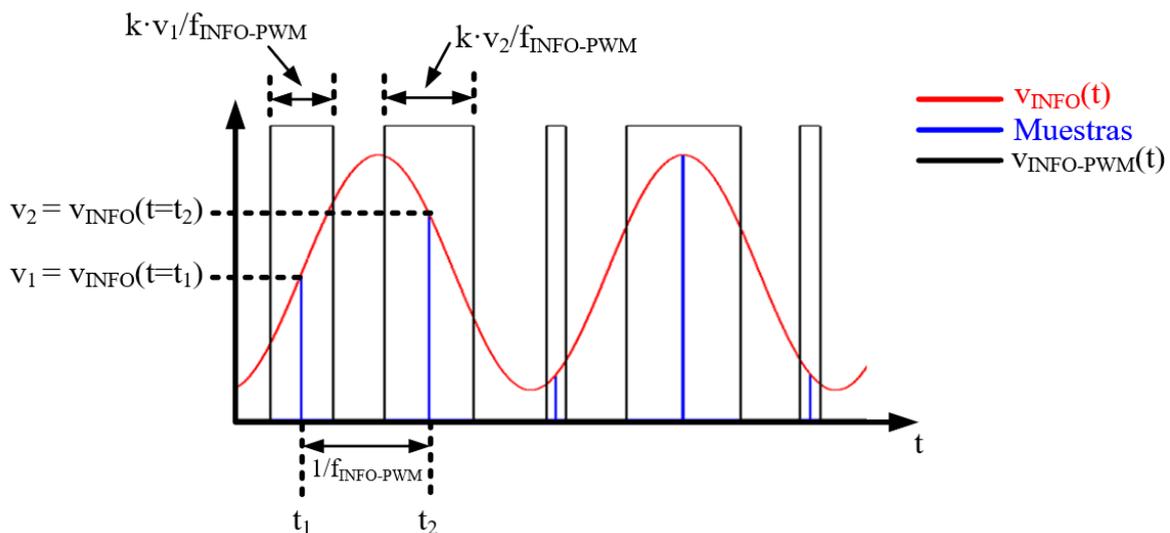


Figura 3.1: Ejemplo de PWM ideal.

El hecho de que el pulso esté centrado sobre el instante de muestreo implica que se debe conocer de antemano el valor que se va a muestrear para generar la primera mitad del



pulso hasta que llegue la muestra, de modo que, el modulador PWM ideal es un sistema no causal y, por tanto, no realizable.

Sin embargo, el problema de la no causalidad se puede resolver si se acepta que la señal de salida tenga un retardo de medio periodo de muestreo. A efectos prácticos, aunque exista el retardo se puede considerar PWM ideal.

Otra característica de la PWM ideal es la resolución infinita en la generación de ciclos de trabajo, que, debido a las limitaciones por ruido en los sistemas analógicos y por resolución finita en los digitales, no es alcanzable.

3.1.2.- PWM Analógica

La PWM analógica se basa en generar una señal triangular o en diente de sierra que se compara $v_{INFO}(t)$ dando como resultado la señal $v_{INFO-PWM}(t)$. Esta solución, teóricamente, es capaz de generar ciclos de trabajo con resolución infinita, es decir, puede traducir diferencias muy pequeñas de amplitud de señal en diferencias de ciclo de trabajo, por lo que la señal mínima detectable es, en teoría, infinitesimal. En la práctica el nivel de ruido del sistema limitará la señal mínima detectable.

La principal dificultad de la PWM analógica es generar la señal con la que se compara la señal de entrada a alta frecuencia, esta onda puede ser triangular, $v_{TRI}(t)$, (ver la Figura 3.2) o en diente de sierra, $v_{SAW}(t)$, (ver la Figura 3.3).

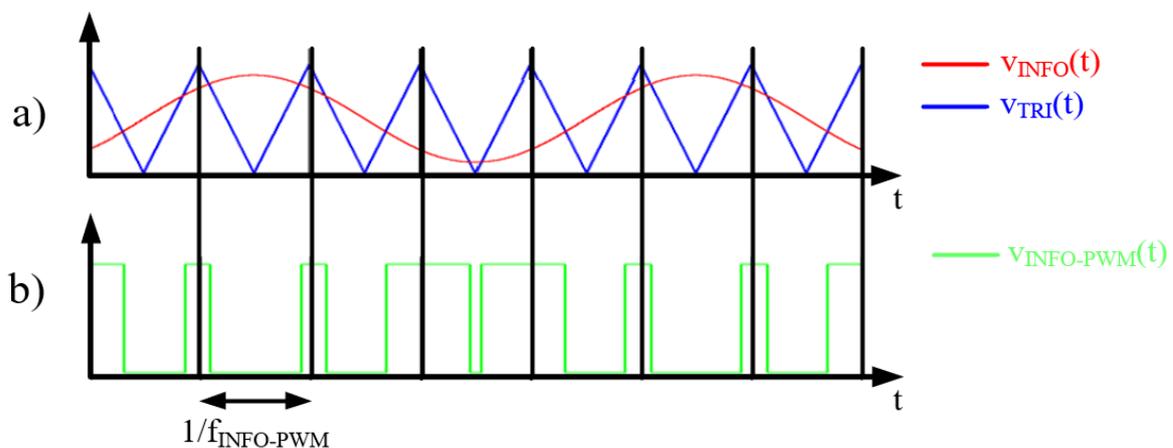


Figura 3.2: PWM analógica comparando con señal triangular. a) Señales a comparar ($v_{INFO}(t)$ y $v_{TRI}(t)$). b) Resultado de la comparación ($v_{INFO-PWM}(t)$).

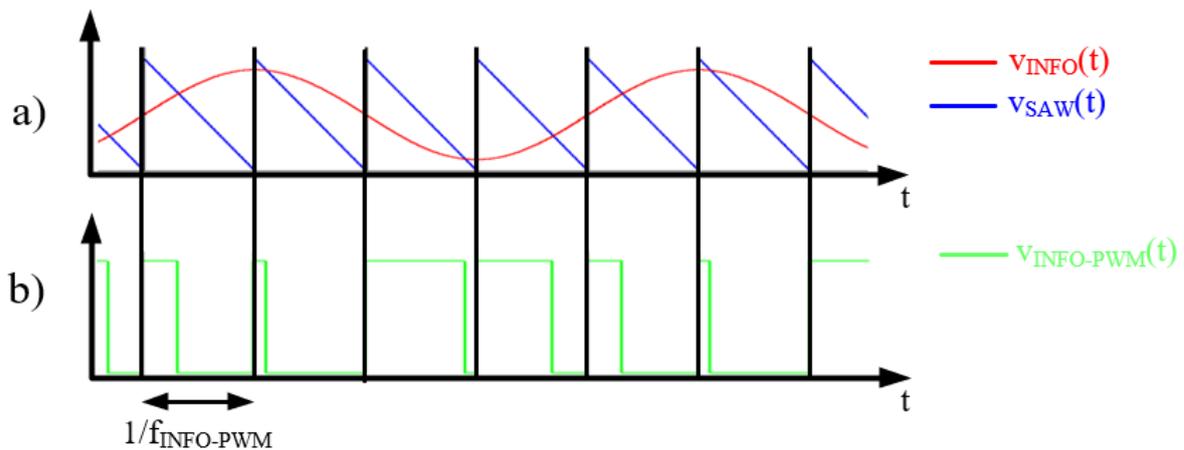


Figura 3.3: PWM analógica comparando con señal en diente de sierra. a) Señales a comparar ($v_{INFO}(t)$ y $v_{SAW}(t)$). b) Resultado de la comparación ($v_{INFO-PWM}(t)$).

Para generar este tipo de señales, la forma más sencilla es aprovechar la relación entre la corriente $i_C(t)$ y la tensión $v_C(t)$ de un condensador (de capacidad C):

$$v_C(t) = v_C(0) + \frac{1}{C} \cdot \int_0^T i_C(t) \cdot dt. \quad (3.2)$$

Teniendo en cuenta la expresión 3.2, al aplicar una corriente positiva y constante a un condensador se obtiene una tensión que crece linealmente según el nivel de corriente aplicado y el valor de C . En caso de aplicar una corriente constante pero negativa, la tensión decrece linealmente.

La señal $v_{TRI}(t)$ es más sencilla de generar, ya que basta con aplicar una $i_C(t)$ cuadrada que cargue y descargue durante el mismo tiempo al condensador (ver la Figura 3.4 a)). Atendiendo a la expresión 3.2, al aplicar dicha $i_C(t)$ sobre el condensador, $v_C(t)$ sigue una forma de onda triangular (ver la Figura 3.4 b)). El valor medio de $v_C(t)$, v_{C-AVG} , depende de la tensión inicial en el condensador.

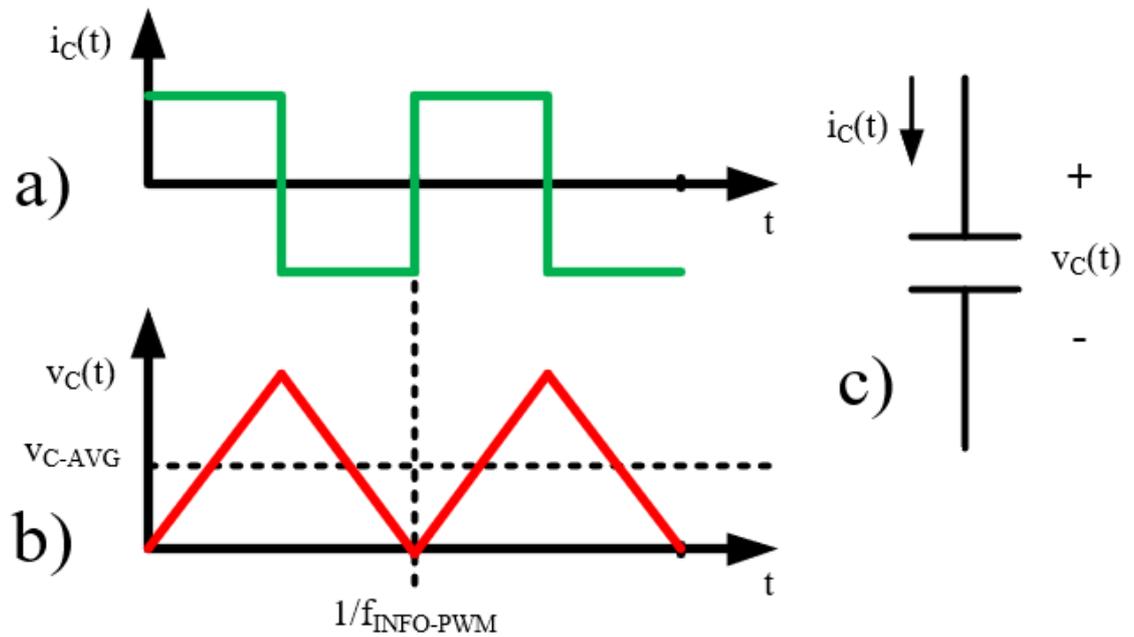


Figura 3.4: Generación de $v_{TR1}(t)$. a) $i_C(t)$. b) $v_C(t)$. c) Símbolo del condensador.

En cambio, la señal $v_{SAW}(t)$ es más difícil de generar a alta frecuencia debido a que se requiere una pendiente teóricamente infinita. Para ello se recurre nuevamente a un condensador al que se le aplica $i_C(t)$ constante (ver la Figura 3.5 a). En el caso de generar una señal como la de la **¡Error! No se encuentra el origen de la referencia.** b), donde la pendiente “infinita” es negativa, la corriente de carga debe ser constante y la corriente de descarga debe ser muy elevada y aplicada durante el menor tiempo posible.

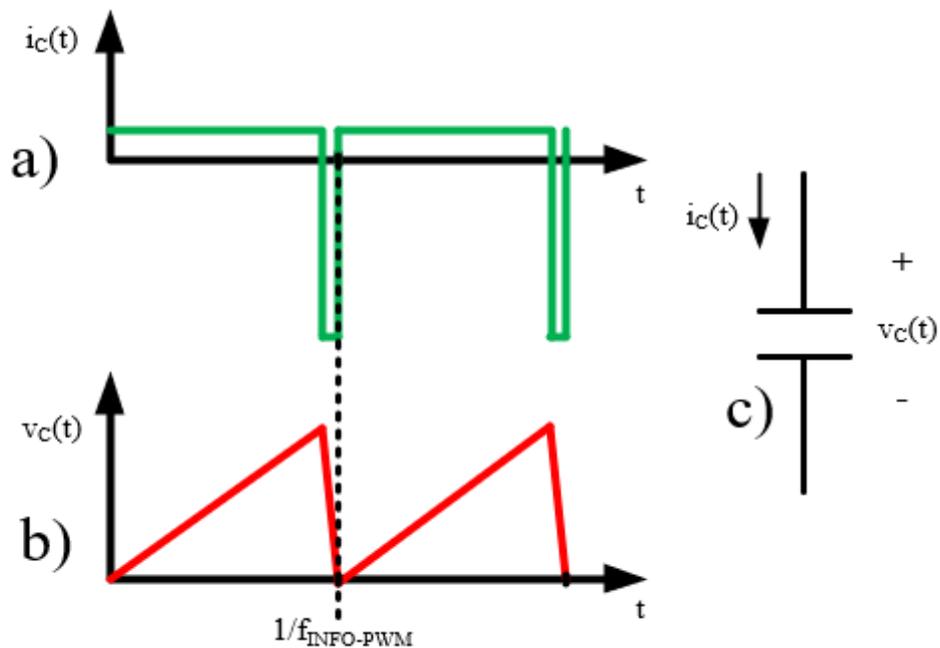


Figura 3.5: Generación de $v_{SAW}(t)$. a) $i_C(t)$. b) $v_C(t)$. c) Esquema del condensador.



A mayor frecuencia de señal, el pulso de corriente deberá ser más estrecho. Para generar dicho pulso se necesitan circuitos capaces de operar a frecuencias mucho más altas que la frecuencia de la señal, añadiendo complejidad al diseño.

3.1.3.- PWM digital

La PWM digital busca reproducir la PWM ideal mediante dispositivos digitales como los DSPs (siglas de *Digital Signal Processors*), las FPGAs (*Field Programmable Gate Arrays*) o algún dispositivo similar que permita muestrear $v_{INFO}(t)$ y generar trenes de pulsos de ciclo de trabajo variable.

Estos dispositivos utilizan relojes de frecuencia finita, por lo que tienen una resolución limitada. Esto hace que solo sean capaces de reproducir un determinado número de ciclos de trabajo, es decir, dos muestras de valor muy similar (pero distinto) pueden dar lugar a un mismo ciclo de trabajo.

En la Figura 3.6 se observa el funcionamiento de un modulador PWM digital donde la frecuencia del reloj (f_{CLK}) es 8 veces superior a $f_{INFO-PWM}$, de forma que es capaz de generar 9 anchos de pulso diferentes $d = \{0, 1/8, 2/8, \dots, 8/8\}$. En el ejemplo se muestrea un valor que es la mitad del rango de entrada (v_{m-MAX}), por tanto, le corresponde un pulso de ancho $d = 4/8$, en caso de que $v_m = 0.51 \cdot v_{m-MAX}$, el pulso de correspondiente sería nuevamente de ancho $d = 4/8$, ya que es el valor más cercano de los disponibles, teniendo en cuenta que el siguiente valor es $d = 5/8 = 0.625$.

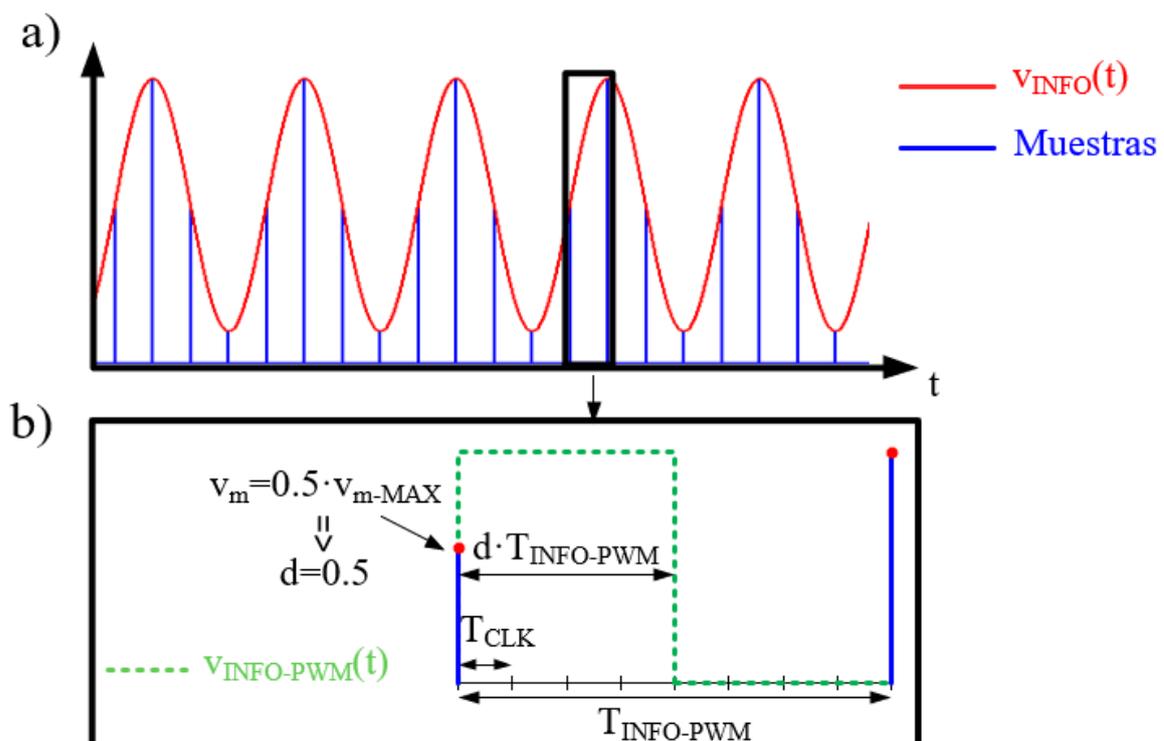


Figura 3.6: Funcionamiento del modulador PWM digital. a) $v_{INFO}(t)$ y las muestras. b) Generación de $v_{INFO-PWM}(t)$ en detalle.



La señal mínima (en amplitud de pico) que teóricamente es capaz de detectar el modulador PWM digital ($A_{INFO-MIN-TEOR}$) sigue la expresión (3.3). en la práctica dependerá de si el instante de muestreo coincide con el valor máximo de la señal.

$$A_{INFO-MIN-TEOR} = \frac{V_{m-MAX}}{2 \cdot r}. \quad (3.3)$$

Aceptando que se introduzca un retardo $T_{INFO-PWM}/2$ a $v_{INFO}(t)$, se puede centrar el pulso sobre la muestra (ver la Figura 3.7). Esto provoca una pérdida de resolución, ya que ahora los ciclos de trabajo disponibles en el ejemplo serían $d = \{0, 2/8, 4/8, 6/8, 8/8\}$. En este caso la expresión de $A_{INFO-MIN-TEOR}$ cambia:

$$A_{INFO-MIN-TEOR} = \frac{V_{m-MAX}}{r}. \quad (3.4)$$

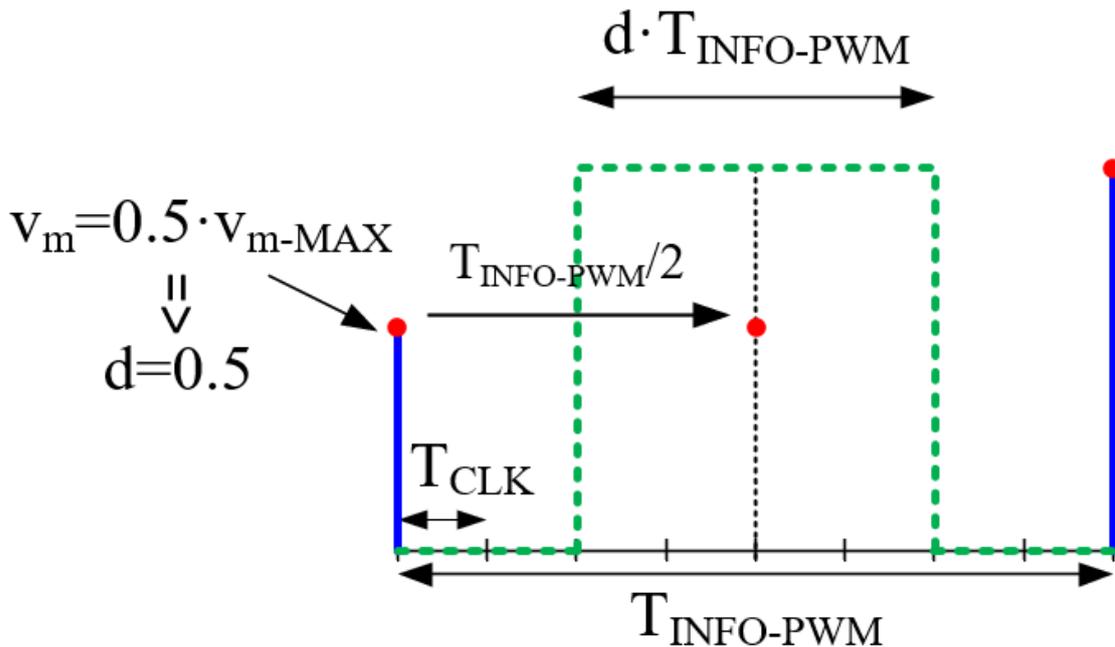


Figura 3.7: PWM digital "idealizada".

En el caso de que $f_{CLK} \gg f_{INFO-PWM}$ se puede conseguir una PWM muy cercana a la ideal. Pero si se requiere una $f_{INFO-PWM}$ elevada esto no será posible debido a la resolución finita de los circuitos digitales comentada anteriormente.

3.2.- Diseño del modulador PWM digital en MATLAB

A fin de comprobar el funcionamiento y analizar las prestaciones del modulador PWM digital, se ha diseñado un programa con la herramienta MATLAB que simula el funcionamiento de un modulador PWM digital.



El programa se basa en generar $v_{INFO-PWM}(t)$ a partir de $v_{INFO}(t)$ simulando una PWM digital, de resolución r , para después calcular el error en frecuencia ($Error$) de la modulación. Es importante destacar que la PWM digital simulada corresponde al caso de la Figura 3.7, donde se asume un retardo para centrar el pulso sobre el instante de muestreo.

El cálculo del error en frecuencia ($Error$) se realiza comparando el espectro de $v_{INFO}(t)$ ($V_{INFO}(f)$) con el espectro de $v_{INFO-PWM}(t)$ ($V_{INFO-PWM}(f)$) en un ancho de banda (Δf) de 40 KHz centrado en la frecuencia de $v_{INFO}(t)$. Para calcular $Error$ se obtiene el vector de error ($e(f)$) (ver las expresiones 3.5, 3.6 y 3.7) y después se calcula la media cuadrática de $|e(f)|$ (ver la expresión 3.8).

$$re(e(f)) = re(V_{INFO}(f)) - re(V_{INFO-PWM}(f)), \quad (3.5)$$

$$im(e(f)) = im(V_{INFO}(f)) - im(V_{INFO-PWM}(f)), \quad (3.6)$$

$$e(f) = re(e(f)) + im(e(f)) \cdot i, \quad (3.7)$$

$$Error = \sqrt{\frac{1}{\Delta f \cdot 40 \cdot 10^3} \cdot \sum_{f=f_{INFO}-20KHZ}^{f_{INFO}+20KHZ} |e(f)|^2}. \quad (3.8)$$

El programa toma los siguientes datos de entrada:

- $f_{INFO-PWM}$: Frecuencia de generación de pulsos y de muestreo de la señal de entrada.
- r : Representa el número de veces que hay que multiplicar $f_{INFO-PWM}$ para obtener f_{CLK} .
- Resolución ideal: Debe ser superior a la anterior. Determina el número de veces que hay que multiplicar la frecuencia de conmutación para obtener a frecuencia de representación. Permite obtener una versión idealizada de la modulación PWM.
- $v_{INFO}(t)$: Las señales utilizadas como entrada son senoides de frecuencia f_{INFO} y de amplitud de pico A_{INFO} . Si A_{INFO} es muy pequeña puede hacer que no se detecte la señal. Además, determinadas f_{INFO} pueden hacer que no se tome ninguna muestra en el máximo de la señal, comprometiendo aún más la capacidad de detección. Las muestras se toman en el rango de 0 a 1V, por lo que las senoides tendrán un valor medio de 0,5V y una amplitud máxima ($A_{INFO-MAX}$) de 0,5V.

Y devuelve a su salida:

- $v_{INFO-PWM}(t)$ con resolución r ($v_{INFO-PWM-r}(t)$).
- $v_{INFO-PWM}(t)$ con resolución ideal ($v_{INFO-PWM-IDEAL}(t)$).
- Espectros de $v_{INFO-PWM-r}(t)$, $v_{INFO-PWM-IDEAL}(t)$ y de $v_{INFO}(t)$.



- $e(f)$ y *Error*.

Con el fin de comprobar las prestaciones del modulador digital, se realiza un análisis de la señal mínima detectable ($A_{INFO-MIN}$) para distintas $f_{INFO-PWM}$, r y f_{INFO} . El valor de $A_{INFO-MIN}$ se obtiene calculando *Error* para diferentes valores de A_{INFO} decrecientes. Cuando se alcanza $Error \geq 30\%$ se considera que la señal no se ha detectado para ese valor de A_{INFO} y se determina que $A_{INFO-MIN}$ es el valor de la anterior iteración.

Como ya se ha comentado, la modulación simulada busca centrar el pulso sobre el instante de muestreo, esto hace que los resultados obtenidos con este modulador podrían, teóricamente, obtenerse con un modulador como el de la Figura 3.6 de resolución $r/2$.

Los valores de r , $f_{INFO-PWM}$, y f_{INFO} analizados son:

$$r = \{4, 8, 16, 32\}, \quad (3.9)$$

$$f_{INFO}[MHz] = \{0.143, 0.5, 0.865, 1, 1.34, 2, 2.57, 3\}, \quad (3.10)$$

$$f_{INFO-PWM}[MHz] = \{5, 7.5, 10, 12, 15\}. \quad (3.11)$$

De modo que se obtiene una matriz de 3 dimensiones de señales mínimas detectables: $A_{INFO-MIN}(r, f_{INFO-PWM}, f_{INFO})$.

Para simplificar los datos se escoge, manteniendo fijas r y $f_{INFO-PWM}$, el valor de $A_{INFO-MIN}$ más alto de todas las f_{INFO} del análisis. Dicho valor corresponde a un caso más realista donde las muestras no coinciden con los máximos de $v_{INFO}(t)$. Aunque cabe destacar que la diferencia entre los valores para las diferentes f_{INFO} analizadas es aproximadamente del 1% sobre el valor de $A_{INFO-MIN}$ (ver la Figura 3.8).

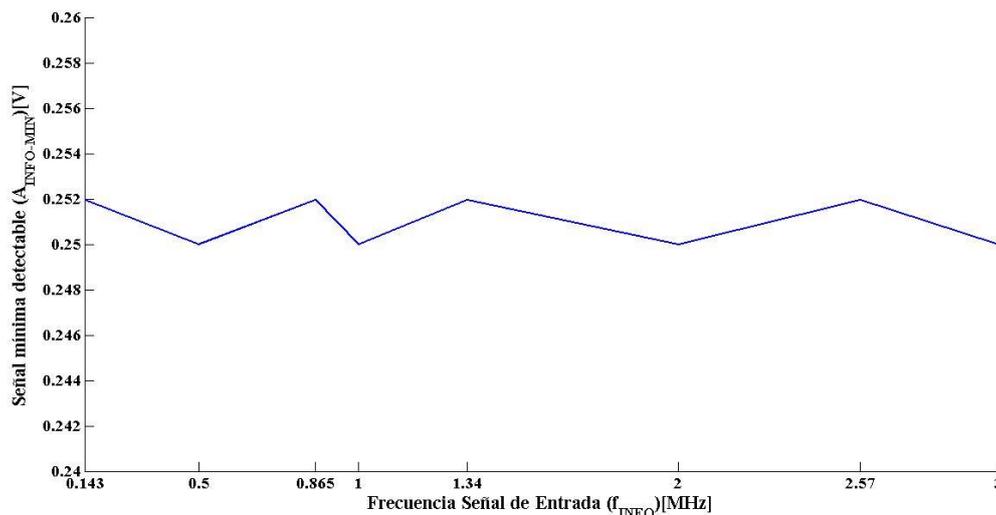


Figura 3.8: $A_{INFO-MIN}$ en función de f_{INFO} para $r = 4$ y $f_{INFO-PWM} = 12$ MHz.

Una vez aplicada la simplificación se obtiene una matriz de 2 dimensiones con los valores máximos de $A_{INFO-MIN}$ según r y $f_{INFO-PWM}$ ($A_{INFO-MIN-MAX}(r, f_{INFO-PWM})$), ver



la Tabla 3.1). Como se puede observar en la Tabla 3.1, las columnas son idénticas, lo que indica que $f_{INFO-PWM}$ no afecta a $A_{INFO-MIN}$ una vez se ha seleccionado el peor caso según f_{INFO} .

Tabla 3.1: Matriz $A_{INFO-MIN-MAX}(r, f_{INFO-PWM})$.

		$f_{INFO-PWM}$ [MHZ]				
		5	7.5	10	12	15
r	4	0.252	0.252	0.252	0.252	0.252
	8	0.127	0.127	0.127	0.127	0.127
	16	0.0645	0.0645	0.0645	0.0645	0.0645
	32	0.0332	0.0332	0.0332	0.0332	0.0332

En la Figura 3.9, se representa $A_{INFO-MIN-MAX}$ en función de r , que es el parámetro de mayor influencia. También se representa $A_{INFO-MIN-TEOR}$ en función de r .

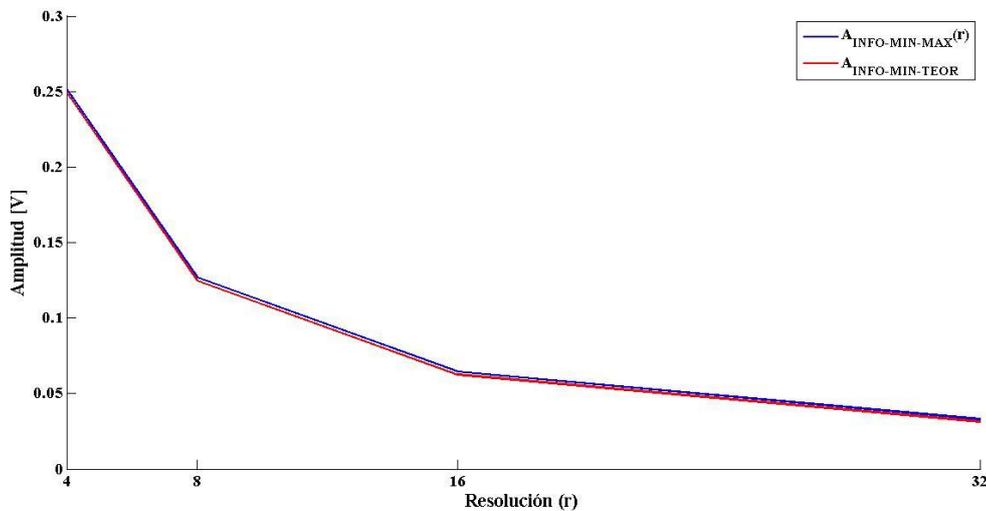


Figura 3.9: $A_{INFO-MIN-MAX}$ y $A_{INFO-MIN-TEOR}$ en función de r .

Se puede observar como los valores de $A_{INFO-MIN-MAX}$, son ligeramente superiores a $A_{INFO-MIN-TEOR}$, debido a que las muestras no siempre coinciden con el máximo. Sin embargo, la pequeña diferencia existente se puede considerar despreciable.

3.3.- Modulador PWM Analógico

En el presente apartado se aborda el diseño del modulador PWM analógico para un SMPA clase D PWM bifase, así como los detalles del funcionamiento del prototipo y los resultados experimentales obtenidos.



3.3.1.- Diagrama de bloques

En la Figura 3.10, se muestra un diagrama de bloques del modulador, a partir del cual se explica la función y requerimientos de cada uno de los bloques. Antes de ello resaltar que el tipo de modulador analógico escogido se basa en la comparación con señal triangular debido a que está pensado para frecuencias altas. Por otro lado, se deben proporcionar las señales necesarias para el SMPA Clase D de dos fases, que son cuatro trenes de pulsos rectangulares: el fundamental ($v_{PWM}(t)$), el complementario ($v_{PWM-COMP}(t)$), el desfasado 180° ($v_{PWM-DESF}(t)$) y el complementario del desfasado 180° ($v_{PWM-DESF-COMP}(t)$).

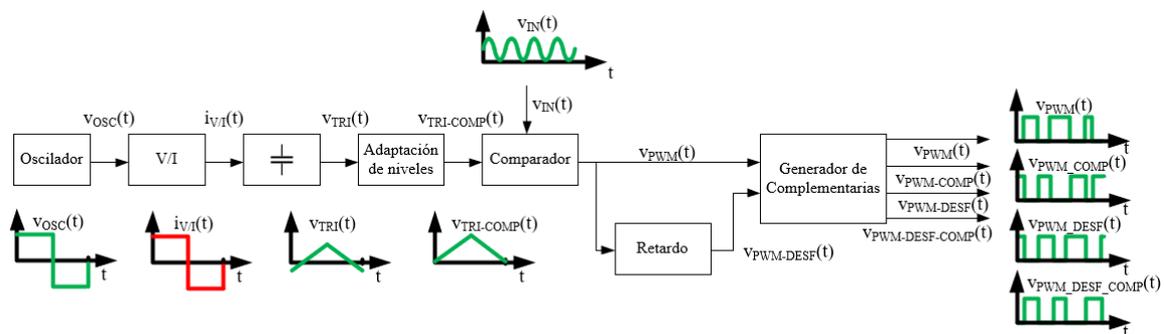


Figura 3.10: Diagrama de bloques del modulador propuesto.

El diagrama comienza con el bloque oscilador, que debe generar una onda cuadrada de tensión ($v_{OSC}(t)$) con ciclo de trabajo 50% y frecuencia ($f_{INFO-PWM}$) variable en el rango de 5 a 15 MHz. La frecuencia de generación de pulsos ($f_{INFO-PWM}$) del modulador será la frecuencia de conmutación (f_{SW}) del SMPA clase D.

Tras ello se sitúa el bloque convertor tensión/corriente (V/I), que debe proporcionar una forma de onda de corriente $i_{V/I}(t)$ idéntica a $v_{OSC}(t)$. La señal $i_{V/I}(t)$ se aplica al bloque condensador para generar $v_{TRI}(t)$. Teniendo en cuenta que la integral de una constante es una rampa, se deduce que los bloques V/I y condensador deben operar de forma conjunta como un circuito integrador.

La señal $v_{TRI}(t)$ tiene un nivel de continua indefinido, además su amplitud varía dependiendo de la $f_{INFO-PWM}$ a la que se trabaje. Por tanto, es necesario el bloque de adaptación de niveles que genere una señal de niveles fijos ($v_{TRI-COMP}(t)$) para cualquier frecuencia y amplitud de entrada.

El bloque comparador debe realizar la comparación entre la señal $v_{TRI-COMP}(t)$ y la señal de entrada al modulador ($v_{INFO}(t)$) para generar la señal $v_{PWM}(t)$.

Finalmente, se obtiene la señal $v_{PWM-DESF}(t)$ por medio del bloque de retardo, para después obtener las señales $v_{PWM-COMP}(t)$ y $v_{PWM-DESF-COMP}(t)$ a través del bloque generador de complementarias.



3.3.2.- Prototipo

En el presente subapartado se detalla el diseño de cada uno de los bloques anteriormente explicados, especificando los componentes utilizados en cada caso.

Consideraciones generales:

- El prototipo tiene dos niveles de alimentación ($\pm 5V$) y una referencia común a ambos (GND)
- Los amplificadores operacionales se alimentan a $\pm 5V$, el resto a $+5V$.

3.3.2.1.- Oscilador, conversor V/I y condensador

Para el bloque oscilador se opta por un oscilador Schmitt-trigger, cuyo esquemático se muestra en la Figura 3.11 a). Este circuito se basa en un inversor Schmitt-trigger (modelo SN74LVC2G14 de Texas Instruments [21]) realimentado que carga y descarga un condensador situado en su entrada (C_{OSC}) para conmutar su tensión de salida ($v_{OST}(t)$). Al utilizar los diodos D_1 y D_2 (modelo DB3X313F de Panasonic [22]), se consigue cargar y descargar el condensador a través de resistencias diferentes.

Al inicio, C_{OSC} se encuentra descargado y la tensión de entrada al inversor ($v_{COND}(t)$) es 0. Por tanto, en cuanto se alimenta el inversor, su tensión de salida se pondrá en estado alto (v_{OST-H}) y C_{OSC} comenzará a cargarse a través de R_1 . A medida que C_{OSC} se carga, $v_{COND}(t)$ aumenta hasta que alcanza el valor de umbral para el cual el inversor considera que su entrada pasa de estado alto a bajo (v_{TH-H}) (ver la Figura 3.11 b)). En ese momento $v_{OST}(t)$ pasa a estado bajo v_{OST-L} y C_{OSC} comienza a descargarse a través de R_2 hasta que $v_{COND}(t)$ alcanza el valor de umbral para el cual el inversor considera que su entrada pasa de estado bajo a alto (v_{TH-L}). Entonces $v_{OST}(t)$ pasará nuevamente a estado alto, repitiéndose de nuevo todo el proceso de forma continuada mientras el inversor se mantenga alimentado.

Como se puede apreciar en la Figura 3.11 b), $v_{OST}(t)$ sigue una forma de onda cuadrada cuyo ciclo de trabajo se puede controlar a través de los tiempos de carga (t_{CH}) y descarga (t_{DCH}) del condensador (ver las expresiones (3.12) y (3.13)).

$$t_{CH} = \frac{-R_1 \cdot C_{OSC}}{\ln\left(\frac{v_{TH-H} - v_{OST-H}}{v_{TH-L} - v_{OST-H}}\right)} \quad (3.12)$$

$$t_{DCH} = \frac{-R_2 \cdot C_{OSC}}{\ln\left(\frac{v_{TH-L} - v_{OST-L}}{v_{TH-H} - v_{OST-L}}\right)} \quad (3.13)$$

Por otro lado, $v_{OST}(t)$ tiene un nivel de continua que debe ser eliminado antes de la conversión V/I. De esto se encarga el condensador C_{AC-1} (ver la Figura 3.11 a)) que actúa como un filtro paso-alto y permite obtener la tensión $v_{OSC-seg}(t)$ deseada (ver la Figura 3.11 c)).

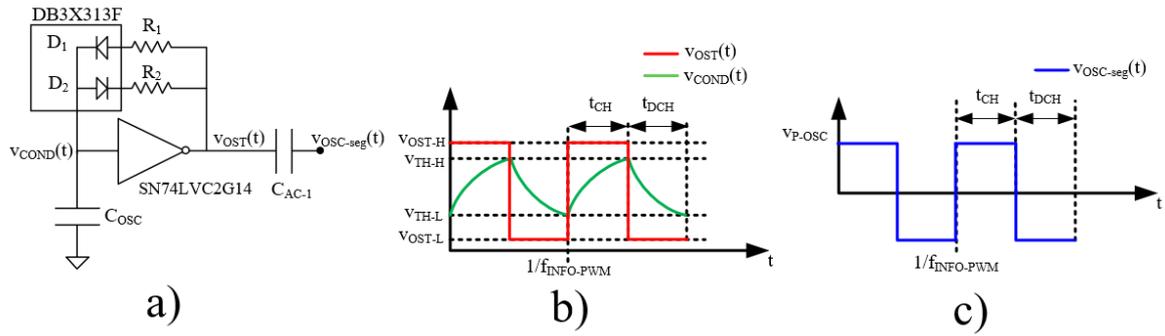


Figura 3.11: Funcionamiento del oscilador Schmitt-trigger utilizado. a) Esquemático del circuito. b) $v_{OST}(t)$ y $v_{COND}(t)$. c) $v_{OSC-seg}(t)$.

Para permitir una operación a múltiples frecuencias se fija un valor de $C_{OSC} = 150 \text{ pF}$ y se sitúan potenciómetros de resistencia máxima de $1 \text{ k}\Omega$ en el lugar de R_1 y R_2 . Teniendo en cuenta los valores medidos experimentalmente de V_{OST-H} , V_{OST-L} , V_{TH-H} y V_{TH-L} (ver la Tabla 3.2) del SN74LVC2G14, y aplicando las expresiones (3.12) y (3.13), se consigue variar $f_{INFO-PWM}$ desde 1,58 a 15,8 MHz (ver la Tabla 3.3).

Tabla 3.2: V_{OST-H} , V_{OST-L} , V_{TH-H} y V_{TH-L} del inversor.

$v_{OST-H}[\text{V}]$	$v_{OST-L}[\text{V}]$	$v_{TH-H}[\text{V}]$	$v_{TH-L}[\text{V}]$
4,35	0,05	2,7	1,7

Tabla 3.3: $f_{INFO-PWM}$ para dos valores de R_1 y R_2 que permiten comprobar que se obtiene la variación deseada.

$R_1[\Omega]$	$R_2[\Omega]$	$f_{INFO-PWM}[\text{MHz}]$
100	100	15,8
1000	1000	1,58

Se escoge un valor de $C_{AC-1} = 2 \mu\text{F}$ que asegura el correcto filtrado de la continua sin afectar a la señal $v_{OSC}(t)$.

Previo al conversor V/I se sitúa un seguidor de tensión que proporcione una carga controlada para el filtrado de la continua. El seguidor de tensión se basa en un amplificador operacional THS3091 de Texas Instruments [23] (ver la Figura 3.12). Los valores de las resistencias (ver la Tabla 3.4) son los recomendados por el fabricante para un amplificador de ganancia unidad.

Tabla 3.4: Valores recomendados por el fabricante para las resistencias del seguidor de tensión.

$R_3[\Omega]$	$R_4[\Omega]$	$R_5[\Omega]$
50	1.780	50

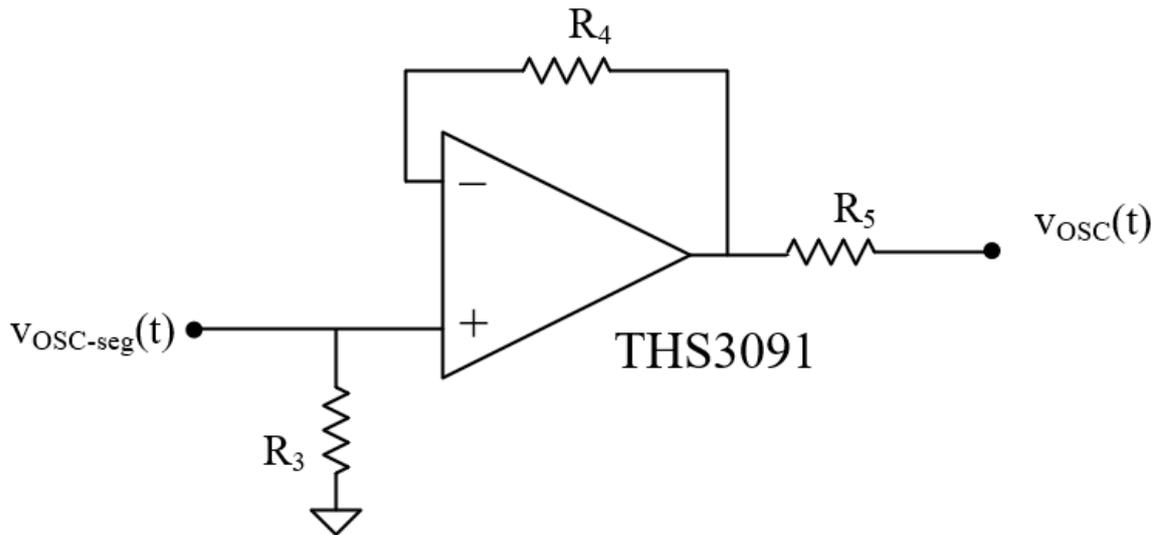


Figura 3.12: Esquemático del seguidor de tensión utilizado.

Con el seguidor de tensión se obtiene una forma de onda idéntica a $v_{OSC-seg}(t)$, $v_{OSC}(t)$, que es la entrada del convertor V/I.

El convertor V/I utilizado es un amplificador de transconductancia basado en un amplificador operacional THS3091, junto al condensador C_{TRI} el circuito opera como un integrador (ver la Figura 3.13 a)). Este circuito convierte la tensión $v_{OSC}(t)$ en la corriente $i_{V/I}(t)$ (ver la Figura 3.13 c)), la cual se aplica a C_{TRI} para generar $v_{TRI}(t)$ (ver la Figura 3.13 c)). De esta forma, la tensión $v_{TRI}(t)$ es la integral de $v_{OSC}(t)$:

$$v_{TRI}(t) = \frac{1}{C_{TRI} \cdot R_6} \int_{-\infty}^t v_{OSC}(t) \cdot dt. \tag{3.14}$$

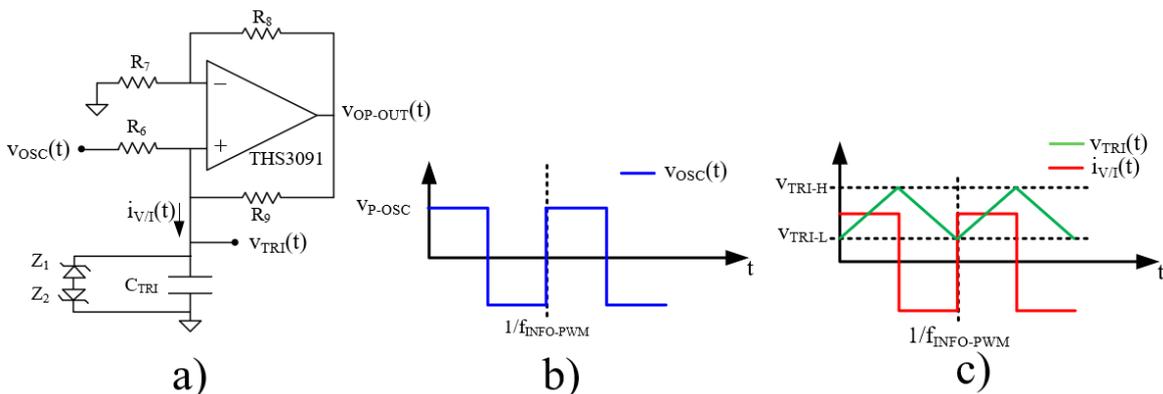


Figura 3.13: Operación del conjunto convertor (V/I) + condensador C_{TRI} . a) Esquemático del integrador. b) $v_{OSC}(t)$. c) $i_{V/I}(t)$ y $v_{TRI}(t)$.

La expresión (3.14) se cumple siempre que $R_6 = R_7$ y $R_8 = R_9$. Por otro lado, la amplitud pico-pico de la tensión $v_{TRI}(t)$, (v_{TRI-PP}) sigue la expresión (3.15).



$$v_{TRI-PP} = \frac{v_{OSC-P}}{2 \cdot C_{TRI} \cdot R_6 \cdot f_{INFO-PWM}} \quad (3.15)$$

Se debe evitar que la tensión de salida del amplificador operacional ($v_{OP-OUT}(t)$) llegue a su valor máximo, ya que, en ese caso el amplificador se satura y distorsiona $v_{TRI}(t)$. Para ello se obtiene la expresión que relaciona $v_{OP-OUT}(t)$ y $v_{TRI}(t)$:

$$v_{OP-OUT}(t) = v_{TRI}(t) \cdot \left(1 + \frac{R_8}{R_6}\right) \quad (3.16)$$

Para mitigar la saturación se escogen valores de R_8 menores que R_6 , además de controlar el valor de v_{TRI-PP} . Sin embargo, el valor de continua de la señal triangular, que es indeterminado, puede hacer que la salida se sature. De modo que, para acotar los niveles de la señal triangular se sitúan los diodos Zener Z_1 y Z_2 . Cuando la tensión $v_{TRI}(t)$ supera la tensión de ruptura de Z_1 (V_{Z1}), el diodo conduce evitando que $v_{TRI}(t)$ continúe aumentando. Del mismo modo, se evita que $v_{TRI}(t)$ continúe disminuyendo cuando alcanza un valor negativo superior a la tensión de ruptura de Z_2 (V_{Z2}). Es decir, $v_{TRI}(t)$ se acota en el rango: $[-V_{Z2}, V_{Z1}]$.

A través de medidas experimentales se ha comprobado que el amplificador operacional THS3091 se satura con valores de $v_{OP-OUT}(t)$ por encima de 3,3V y por debajo de -3,3V. Los valores de los componentes escogidos se detallan en la Tabla 3.5.

Tabla 3.5: Valores de los componentes del conjunto integrador.

R_6, R_7 [Ω]	R_8, R_9 [Ω]	C_{TRI} [pF]	V_{Z1}, V_{Z2} [V]
560	220	200	2

Aplicando la expresión (3.15) con los valores de la Tabla 3.5, se obtienen los valores de v_{TRI-PP} para las frecuencias máxima y mínima.

Tabla 3.6: v_{TRI-PP} para las frecuencias extremas de diseño.

	$f_{INFO-PWM} = 5 \text{ MHz}$	$f_{INFO-PWM} = 15 \text{ MHz}$
v_{TRI-PP} [V]	1,92	0,64

La tensión $v_{TRI}(t)$ debe estar en el rango $[-2, 2]$, así que el valor máximo de v_{TRI-PP} , sin tener en cuenta el nivel de continua, es 4 V. A la vista de los valores de la Tabla 3.6 Tabla 3.5 se comprueba que se cumple la condición.

3.3.2.2.- Adaptación de niveles

En primer lugar, se debe eliminar el nivel de continua indeterminado de $v_{TRI}(t)$, para lo cual, se utiliza, al igual que en el bloque oscilador, un condensador (C_{AC-2}) en serie. Situar el C_{AC-2} justo después de C_{TRI} hace que se absorba parte de la corriente $i_{V/I}(t)$,



distorsionando $v_{TRI}(t)$. Por ello, se sitúa un circuito seguidor de tensión basado en el THS3091 entre C_{TRI} y C_{AC-2} , que no absorbe $i_{V/I}(t)$ y proporciona una tensión idéntica a $v_{TRI}(t)$ en su salida. Tras C_{AC-2} se obtiene la componente de alterna de $v_{TRI}(t)$, $v_{TRI-AC}(t)$ (ver la Figura 3.14)

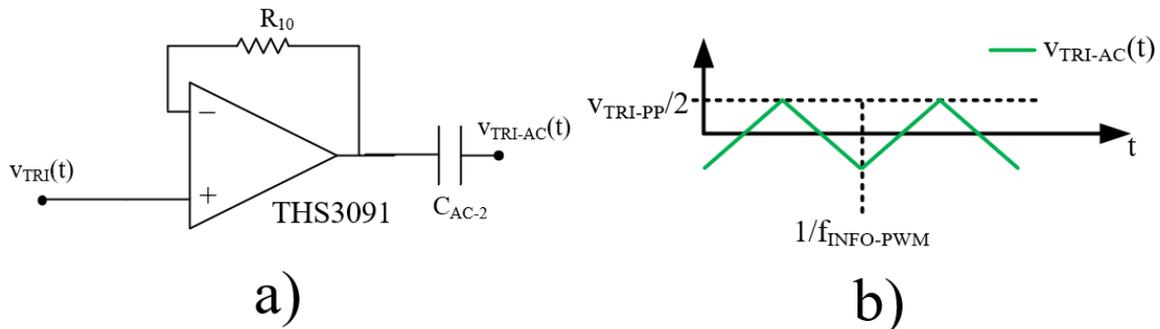


Figura 3.14: Eliminación del nivel de continua de $v_{TRI}(t)$. a) Esquemático del circuito. b) $v_{TRI-AC}(t)$.

Una vez eliminado el nivel de continua se adaptan los niveles de la señal a los necesarios para la comparación. La comparación se realiza en el rango de 0 a 2V, de modo que la señal triangular que llega al comparador $v_{TRI-COMP}(t)$, debe tener una amplitud pico a pico ($v_{TRI-COMP-PP}$) de 2V y un nivel de continua ($v_{TRI-COMP-DC}$) de 1V.

Por tanto, es necesario aplicar un factor de ganancia y sumar un nivel de continua a la señal $v_{TRI-AC}(t)$. Para ello se utiliza un circuito amplificador sumador no inversor basado en el THS3091 (ver la Figura 3.15). La tensión de salida del circuito ($v_{TRI-COMP}(t)$), depende de la suma de $v_{TRI-AC}(t)$ con un nivel de continua (V_{CC}) y de los valores de las resistencias R_{11} , R_{12} , R_{13} y R_{14} :

$$v_{TRI-COMP}(t) = \frac{(v_{TRI-AC}(t) \cdot R_{12} + V_{CC} \cdot R_{11})}{R_{11} + R_{12}} \cdot \frac{R_{14} + R_{13}}{R_{13}} \quad (3.17)$$

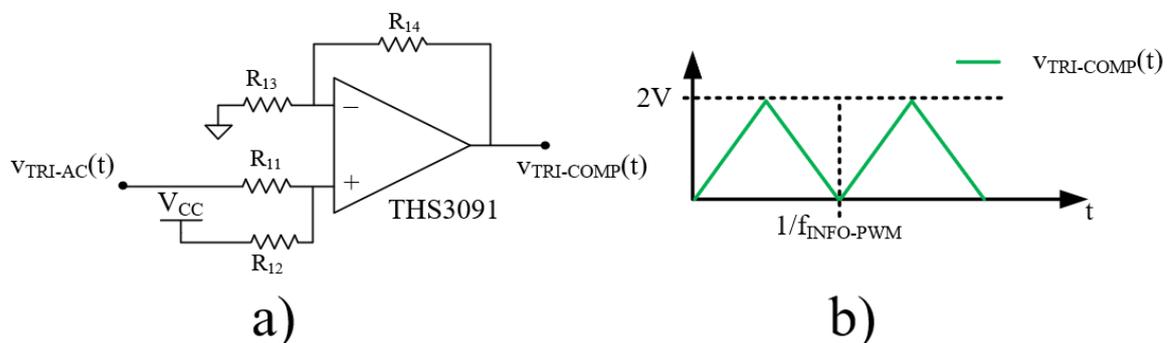


Figura 3.15: Adaptación de los niveles de $v_{TRI-AC}(t)$. a) Esquemático del circuito. b) $v_{TRI-COMP}(t)$.

Para la operación en varias frecuencias es necesario que, al menos, dos valores de resistencia sean variables, ya que la señal $v_{TRI-AC}(t)$ tendrá diferentes amplitudes según $f_{INFO-PWM}$. De modo que, las resistencias R_{12} y R_{13} se sustituyen por potenciómetros que



permitan realizar un ajuste manual del nivel de continua y de la ganancia. Los valores de resistencia necesarios para cada $f_{INFO-PWM}$ se muestran en la Tabla 3.7.

Tabla 3.7: Valores de R_{11} , R_{12} , R_{13} y R_{14} necesarios en el sumador no inversor para diferentes $f_{INFO-PWM}$.

$f_{INFO-PWM}$	$R_{11} [\Omega]$	$R_{12} [\Omega]$	$R_{13} [\Omega]$	$R_{14} [\Omega]$
5	390	2.200	30.000	10.000
7.5	390	3.000	13.100	10.000
10	390	4.100	7.800	10.000
12	390	4.900	5.900	10.000
15	390	6.100	4.300	10.000

3.3.2.3.- Comparador, retardo y señales complementarias

El modelo de comparador elegido es el TLV3501 de Texas Instruments [24], que recomienda un esquemático como el de la Figura 3.16 a). Cuando $v_{INFO}(t)$ es inferior a $v_{TRI-COMP}(t)$, la tensión de salida del comparador ($v_{PWM}(t)$) es 0, en cambio, cuando $v_{INFO}(t)$ es superior a $v_{TRI-COMP}(t)$, $v_{PWM}(t)$ es 5V (ver la Figura 3.16 b)).

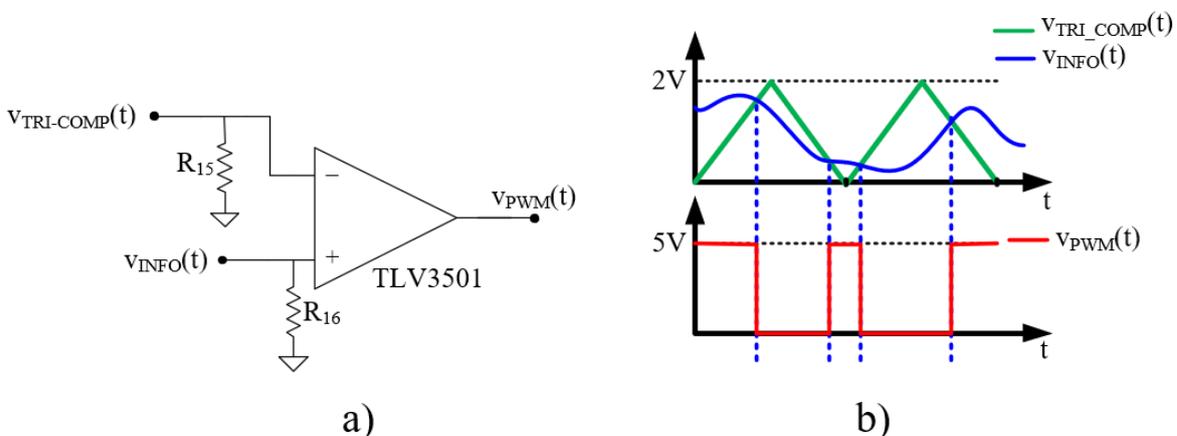


Figura 3.16: Bloque comparador. a) Esquemático del circuito. b) $v_{INFO}(t)$, $v_{TRI-COMP}(t)$, $v_{PWM}(t)$.

Para generar la versión desfasada 180° de $v_{PWM}(t)$ ($v_{PWM-DES}(t)$) se implementan, sobre el prototipo, las dos alternativas que se han barajado: Líneas de retardo y comparación con triangular desfasada.

Las líneas de retardo son circuitos integrados comerciales que, internamente, concatenan buffers lógicos de retardo conocido. Estos integrados permiten aplicar valores de retardo discretos t_D según el retardo de cada uno de los buffers internos. Es decir, si los buffers internos tienen un retardo de 5ns, la línea de retardo puede generar los t_D múltiplos de 5ns, pero no puede generar, por ejemplo, un t_D de 32ns. Cada salida de la línea de retardo tiene un t_D distinto, por lo que, dependiendo del número de salidas de la línea de retardo



habrá más o menos t_D disponibles. El modelo de línea de retardo escogido es el DS1100-20 de Maxim Integrated [25].

Dado que en las pruebas del amplificador se evaluará el uso de distintas frecuencias de conmutación, se necesita variar el retardo que se introduce a $v_{PWM}(t)$. Para ello se diseña un circuito de selección de retardos (ver la Figura 3.17) por medio de interruptores giratorios PT65-121 de APEM [26] (S_1, S_2, S_3 y S_4). Este circuito también permite seleccionar la señal retardada mediante la comparación con triangular desfasada $v_{PWM-DESF}'(t)$.

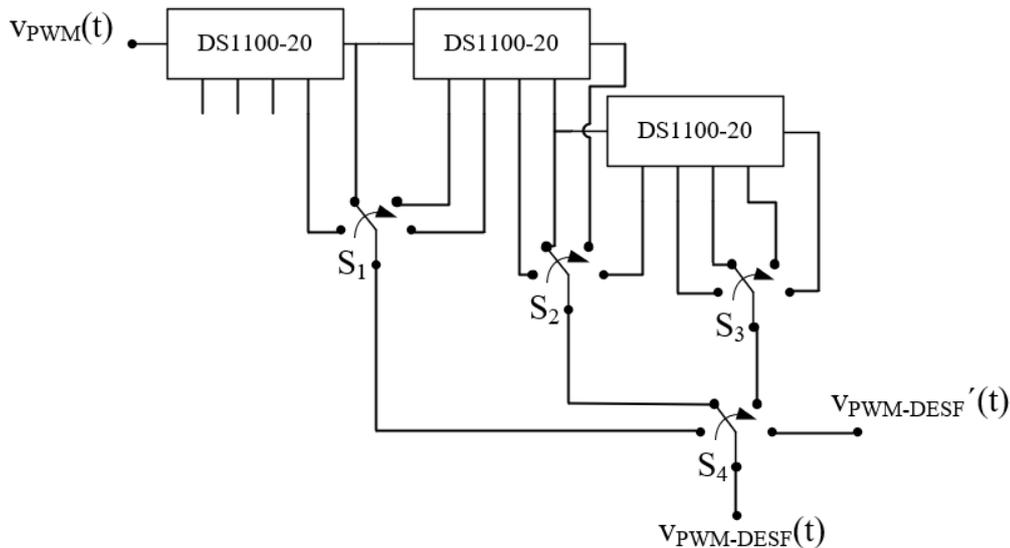


Figura 3.17: Esquemático del circuito de selección de retardos.

Al utilizar retardos discretos, las frecuencias disponibles también son discretas y de valor dependiente a los retardos disponibles.

La otra alternativa barajada consiste en comparar $v_{INFO}(t)$ con $v_{TRI-COMP}(t)$ desfasada 180° ($v_{TRI-COMP-DESF}(t)$). La señal $v_{TRI-COMP-DESF}(t)$ se genera de forma muy similar a $v_{TRI-COMP}(t)$, pero utilizando un amplificador sumador inversor (ver la Figura 3.18 a)).

$$v_{TRI-COMP-DESF}(t) = -R_{19} \cdot \left(\frac{v_{TRI-AC}(t)}{R_{17}} + \frac{-V_{CC}}{R_{18}} \right) \quad (3.17)$$

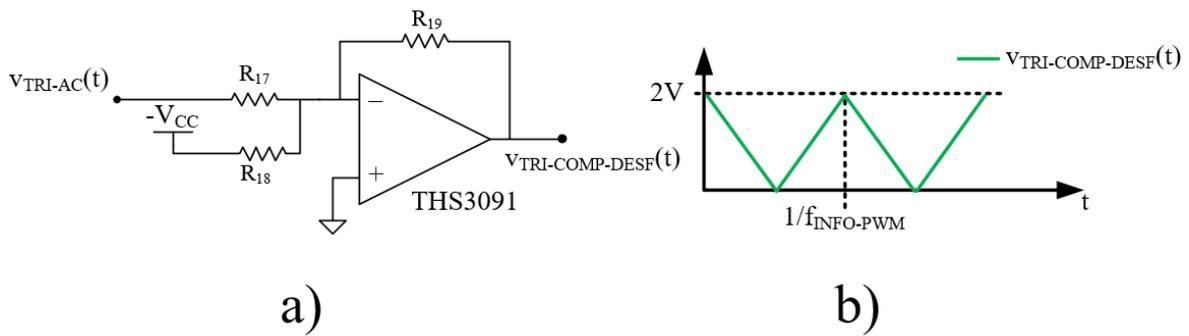


Figura 3.18: Generación de la señal triangular invertida. a) Esquemático del circuito. b) $v_{TRI-COMP-DESF}(t)$.

En este caso, para poder operar a varias frecuencias es necesario variar las resistencias R_{18} y R_{19} . De modo que, en lugar de las resistencias se sitúan potenciómetros de ajuste manual. Los valores de resistencia necesarios para cada frecuencia se muestran en la Tabla 3.8.

Tabla 3.8: Valores de R_{17} , R_{18} y R_{19} necesarios en el sumador inversor para diferentes $f_{INFO-PWM}$.

$f_{INFO-PWM}$	$R_{17} [\Omega]$	$R_{18} [\Omega]$	$R_{19} [\Omega]$
5	390	2.031	406
7.5	390	3.047	609
10	390	4.063	813
12	390	4.875	975
15	390	6.094	1219

Una vez generada la señal $v_{TRI-COMP-DESF}(t)$ se compara con $v_{INFO}(t)$ del mismo modo que en la Figura 3.16, generando, en este caso, la señal $v_{PWM-DESF}'(t)$.

En este último método, si $v_{INFO}(t)$ es de frecuencia próxima a $f_{INFO-PWM}$, la señal $v_{PWM-DESF}'(t)$ no será exactamente la señal $v_{PWM}(t)$ desfasada 180° (ver la Figura 3.19). Sin embargo, se ha comprobado experimentalmente que este método es más adecuado para el SMPA Clase D bifase, como se explica en el capítulo 4. Aun así, el prototipo incorpora ambas alternativas y permite seleccionar cual utilizar mediante el interruptor giratorio S_4 .

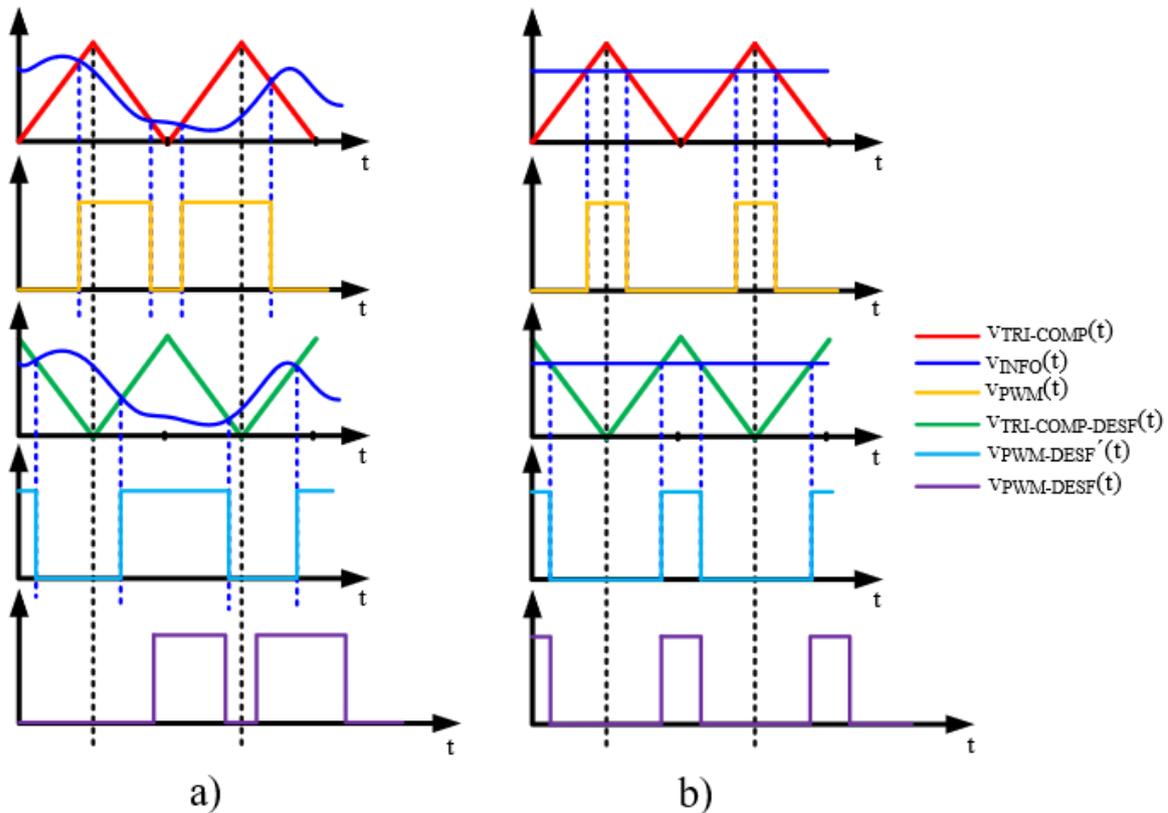


Figura 3.19: Comparación de las formas de onda de los métodos de retardo analizados. a) $v_{INFO}(t)$ de alta frecuencia. b) $v_{INFO}(t)$ constante.

Las señales complementarias a $v_{PWM}(t)$ y $v_{PWM-DESF}(t)$ son, respectivamente, $v_{PWM-COMP}(t)$ y $v_{PWM-DESF-COMP}(t)$. Para generarlas basta con aplicar el operador NOT, de forma que cuando $v_{PWM}(t) = 5V$, $v_{PWM-COMP}(t) = 0V$ y viceversa. Para ello se utilizan puertas NAND SN74LVC1G00 de Texas Instruments [27]. Estas puertas introducen un retardo respecto a la señal de entrada, por lo que también se sitúan puertas AND SN74LVC1G08 [28] de la misma familia para compensar los retardos (ver la Figura 3.20).

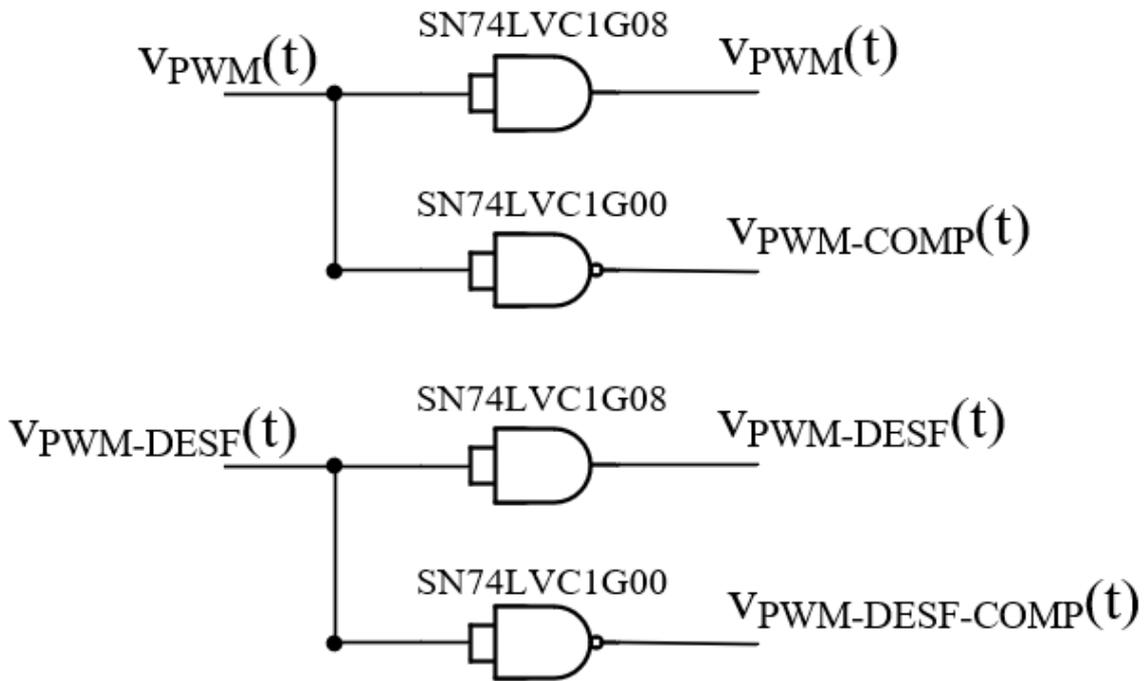


Figura 3.20: Esquemático del circuito de generación de complementarias.

3.3.2.4.- Esquema global e imágenes del prototipo

Una vez detallado el diseño de cada bloque, se muestra en la Figura 3.21 el esquema global del circuito modulador PWM analógico implementado.

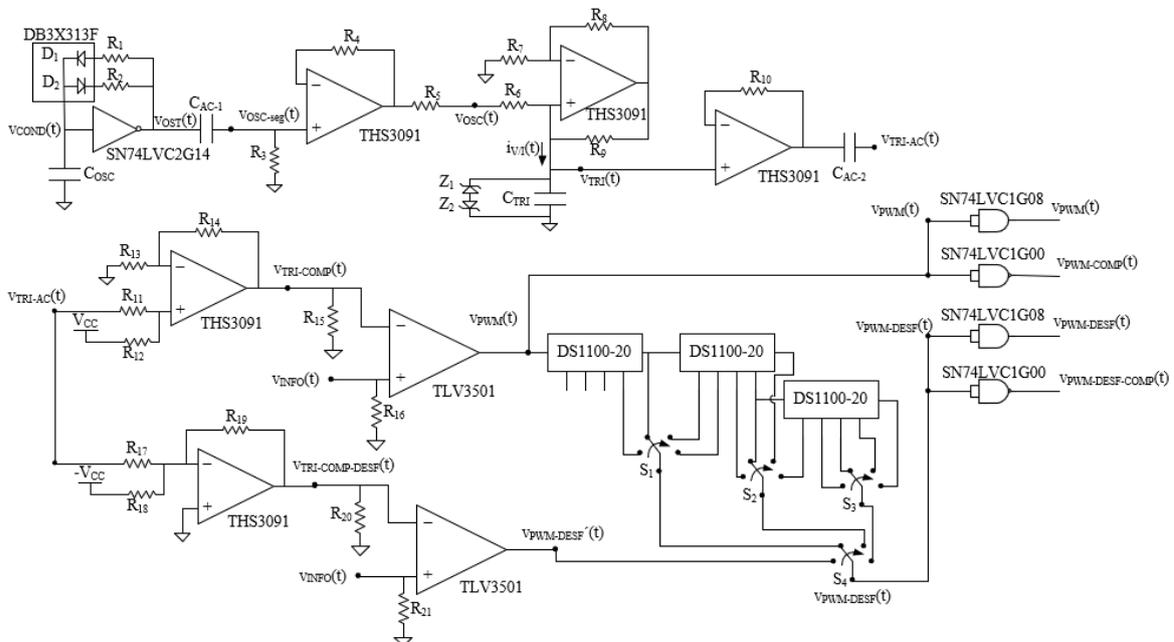


Figura 3.21: Esquemático global del modulador PWM analógico.

A partir del esquemático de la Figura 3.21, se diseña la placa de circuito impreso (PCB, siglas de *Printed Circuit Board*) que se utiliza en el apartado de resultados experimentales (ver la Figura 3.22).

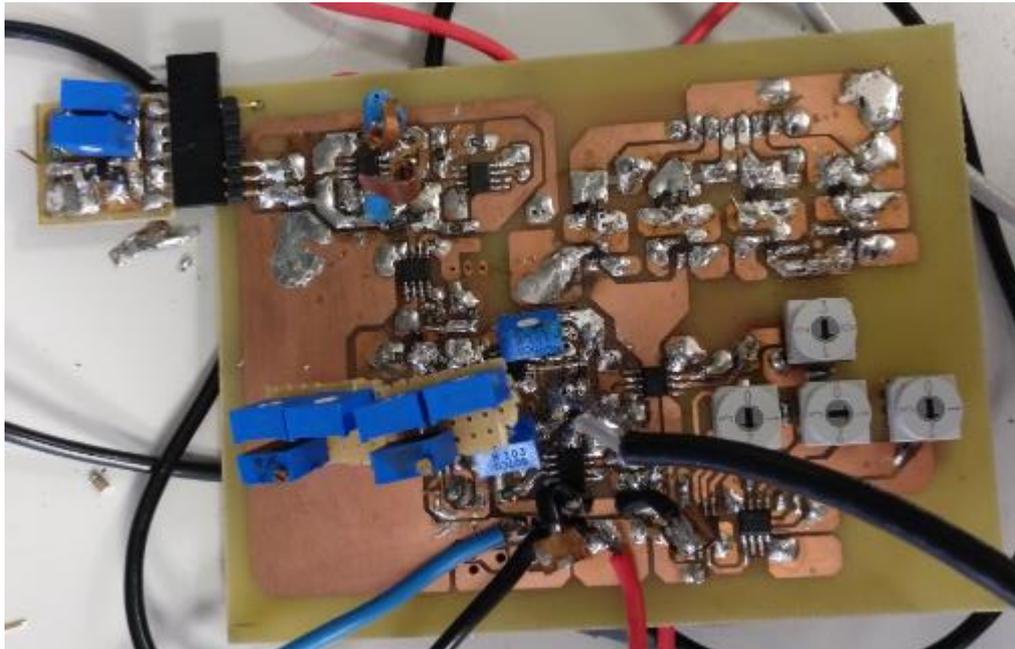


Figura 3.22: Fotografía de la PCB del modulador PWM analógico.

3.3.3.- Resultados Experimentales

Para comprobar el correcto funcionamiento del modulador PWM analógico diseñado se muestran las señales $v_{INFO}(t)$, $v_{TRI-COMP}(t)$, $v_{TRI-COMP-INV}(t)$ y $v_{PWM}(t)$ para diferentes $f_{INFO-PWM}$. La señal $v_{INFO}(t)$ es de frecuencia $f_{INFO} = 2\text{MHz}$, y tiene un nivel de continua de 1V y una amplitud de pico de 0.4V. La señal $v_{PWM}(t)$ se divide por 2 para poder apreciar mejor la comparación.

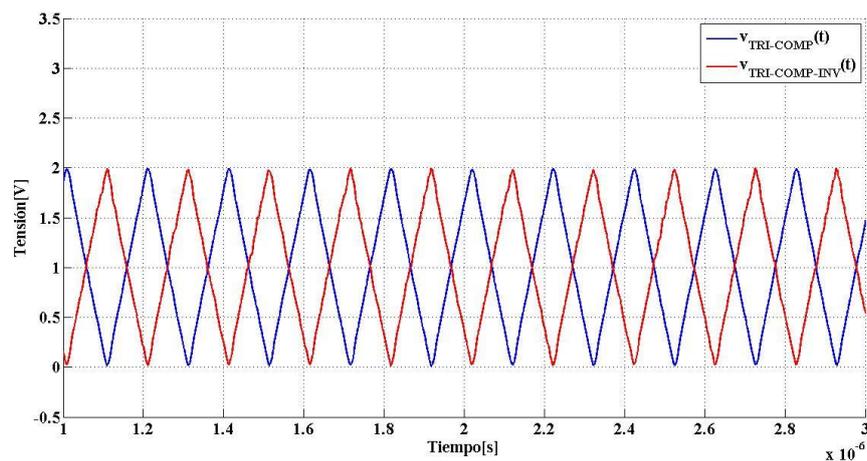


Figura 3.23: $v_{TRI-COMP}(t)$ y $v_{TRI-COMP-INV}(t)$ para $f_{INFO-PWM} = 5\text{MHz}$.

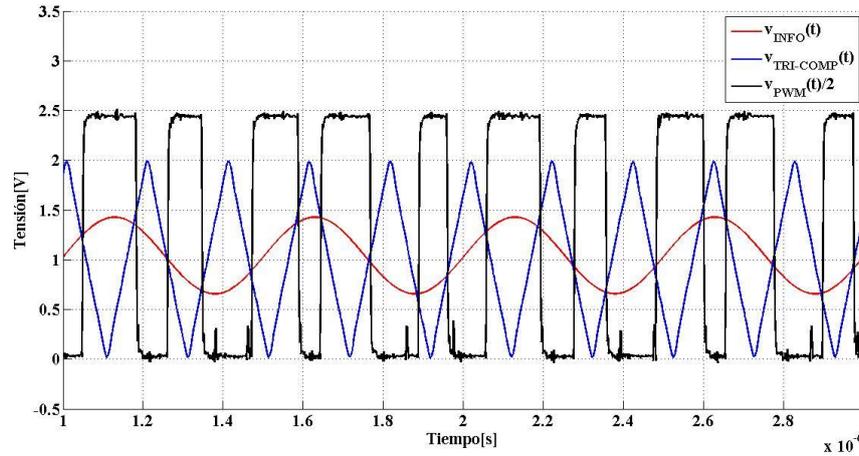


Figura 3.24: $v_{INFO}(t)$, $v_{TRI-COMP}(t)$ y $v_{PWM}(t)/2$ para $f_{INFO-PWM} = 5\text{MHz}$.

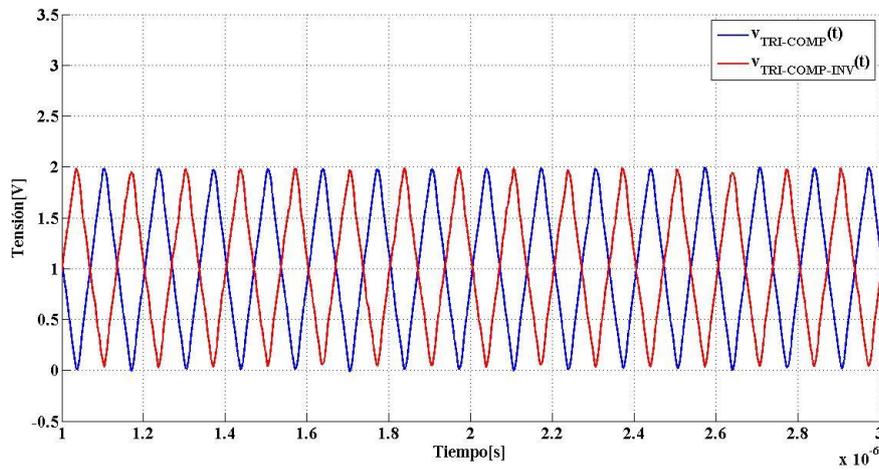


Figura 3.25: $v_{TRI-COMP}(t)$ y $v_{TRI-COMP-INV}(t)$ para $f_{INFO-PWM} = 7,5\text{MHz}$.

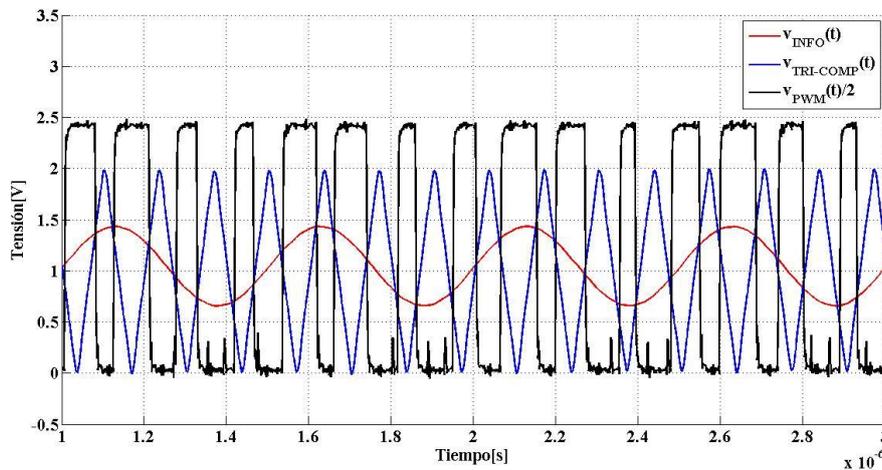


Figura 3.26: $v_{INFO}(t)$, $v_{TRI-COMP}(t)$ y $v_{PWM}(t)/2$ para $f_{INFO-PWM} = 7,5\text{MHz}$.

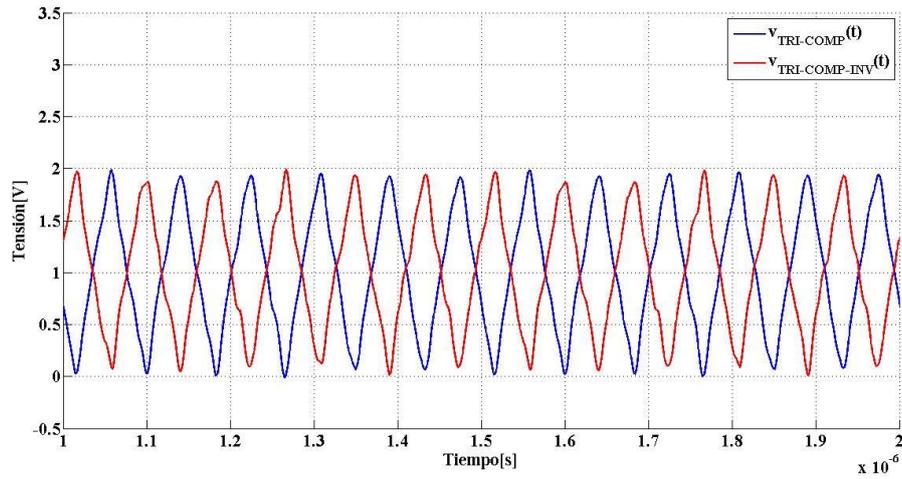


Figura 3.27: $v_{TRI-COMP}(t)$ y $v_{TRI-COMP-INV}(t)$ para $f_{INFO-PWM} = 12MHz$.

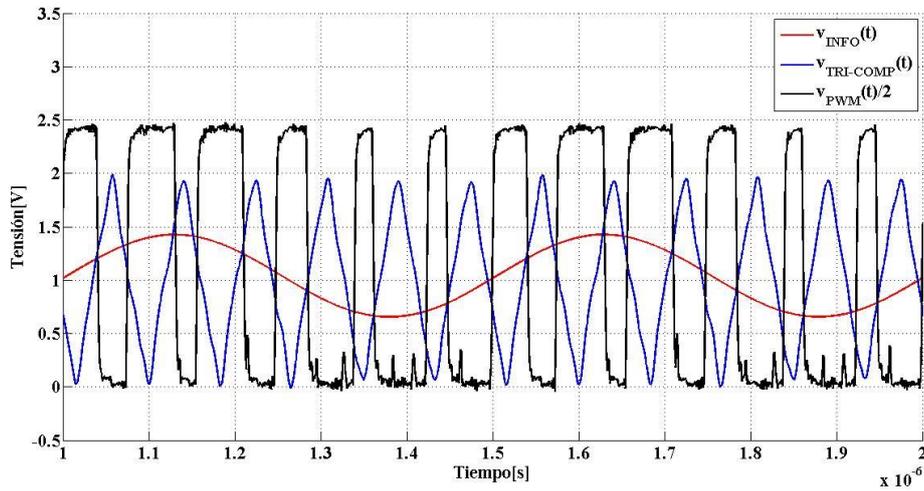


Figura 3.28: $v_{INFO}(t)$, $v_{TRI-COMP}(t)$ y $v_{PWM}(t)/2$ para $f_{INFO-PWM} = 12MHz$.

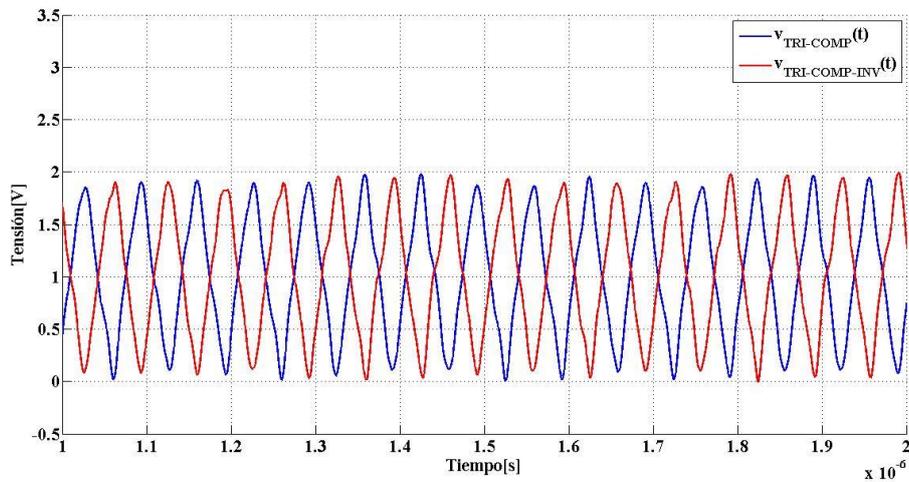


Figura 3.29: $v_{TRI-COMP}(t)$ y $v_{TRI-COMP-INV}(t)$ para $f_{INFO-PWM} = 15MHz$.

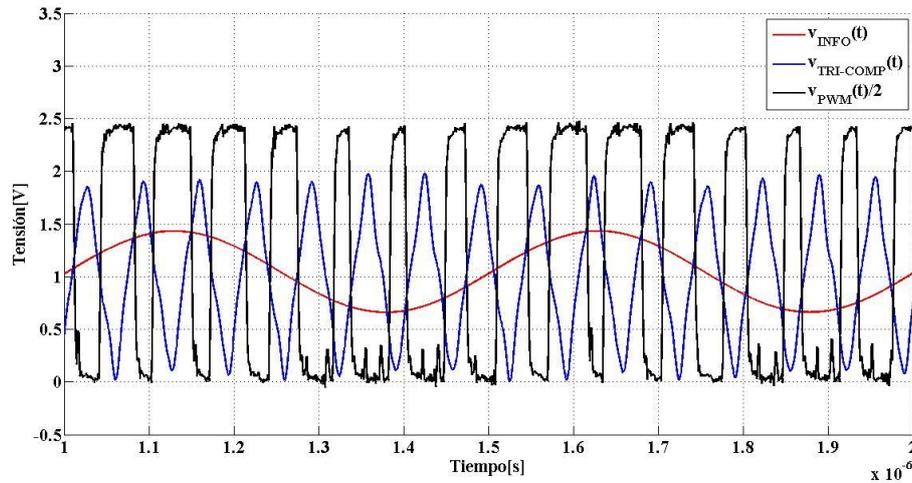


Figura 3.30: $v_{INFO}(t)$, $v_{TRI-COMP}(t)$ y $v_{PWM}(t)/2$ para $f_{INFO-PWM} = 15\text{MHz}$.

En las anteriores figuras, se puede comprobar cómo la comparación para generar $v_{PWM}(t)$ se realiza de forma correcta. Existe un ligero retardo en la generación de $v_{PWM}(t)$ producido por el comparador, pero, a las frecuencias a las que se trabaja, es despreciable.

Por otro lado, se puede observar en la Figura 3.27 y la Figura 3.29 que las señales $v_{TRI-COMP}(t)$ y $v_{TRI-COMP-INV}(t)$ no siempre alcanzan los 2V en su máximo ni el 0 en el mínimo, esto limita el rango de $d(t)$ que se puede alcanzar.

A continuación, se muestran las medidas del rango de $d(t)$, junto a su aproximación lineal, para diferentes $f_{INFO-PWM}$.

5 MHz

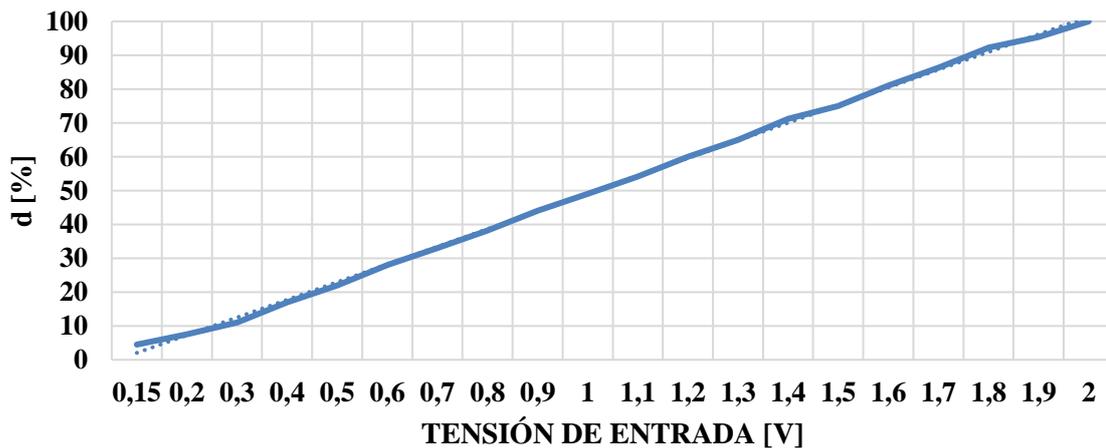


Figura 3.31: Valores de d [%] deseado junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada para $f_{INFO-PWM} = 5\text{MHz}$.

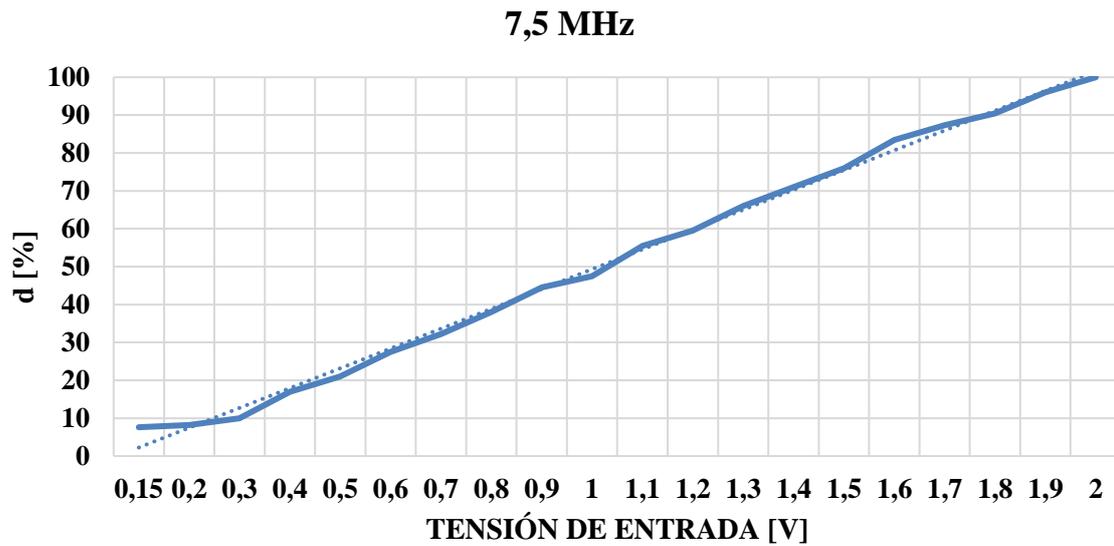


Figura 3.32: Valores de d [%] junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $f_{INFO-PWM} = 7,5 MHz$.

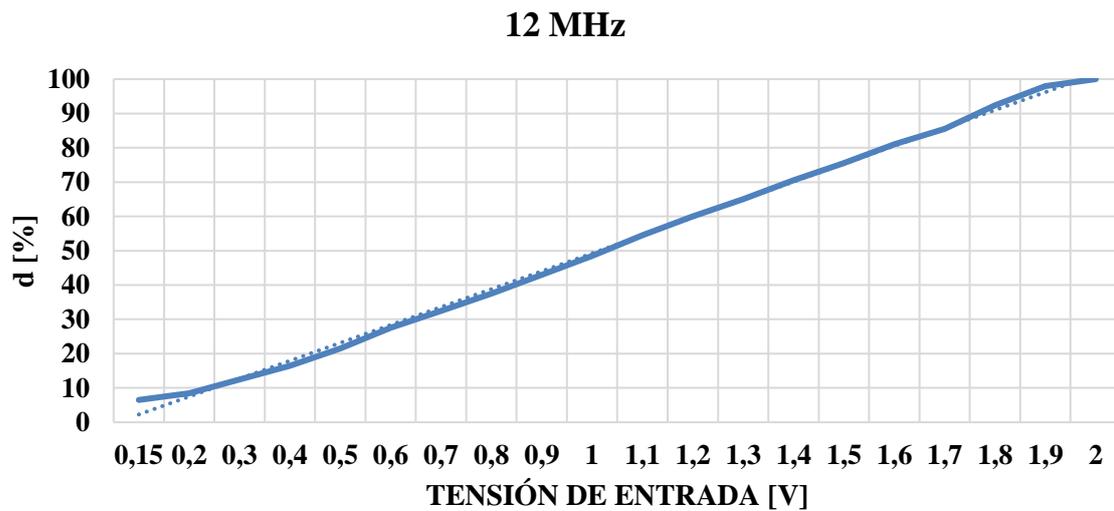


Figura 3.33: Valores de d [%] junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $f_{INFO-PWM} = 12 MHz$.

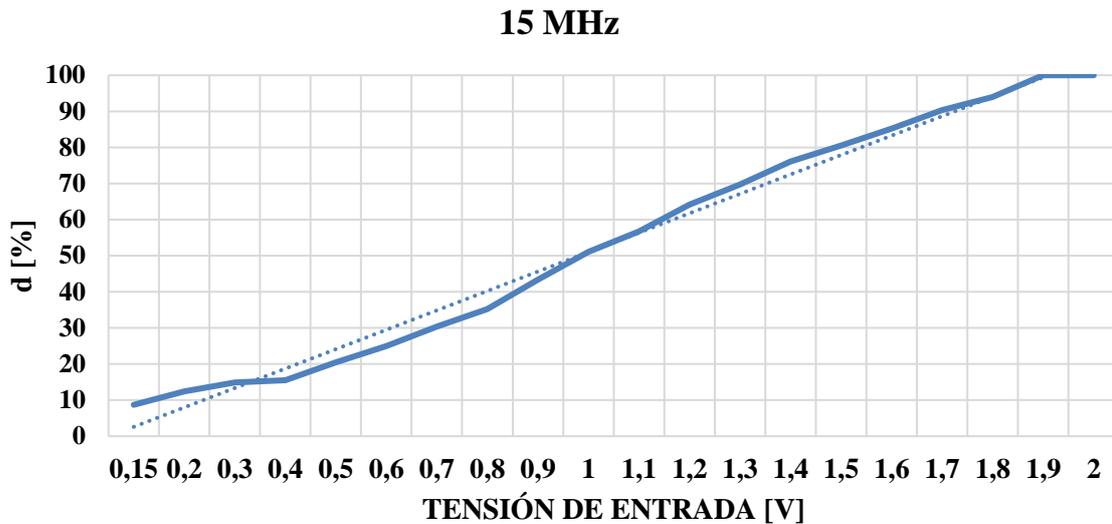


Figura 3.34: Valores de d [%] junto a su aproximación lineal (línea de puntos) dentro del rango de tensión de entrada deseado para $f_{INFO-PWM} = 15\text{MHz}$.

Los valores de $d(t)$ medidos siguen, en todos los casos, una evolución bastante lineal entre el 20 y el 80%. De modo que se fija un rango de tensión de entrada entre 0,4 y 1,6V.

Finalmente, se evalúan sus prestaciones para la posterior comparación con el modulador digital del apartado 3.2.-. Nuevamente el parámetro a analizar es $A_{INFO-MIN}$. En este caso, se obtiene según el nivel de ruido máximo medido en el espectro de $v_{PWM}(t)$ ($V_{PWM}(f)$). La medida se realiza dentro del ancho de banda previsto para $v_{INFO}(t)$:

$$BW_{INFO} = [0,1, 3,5] \text{ MHz} \quad (3.18)$$

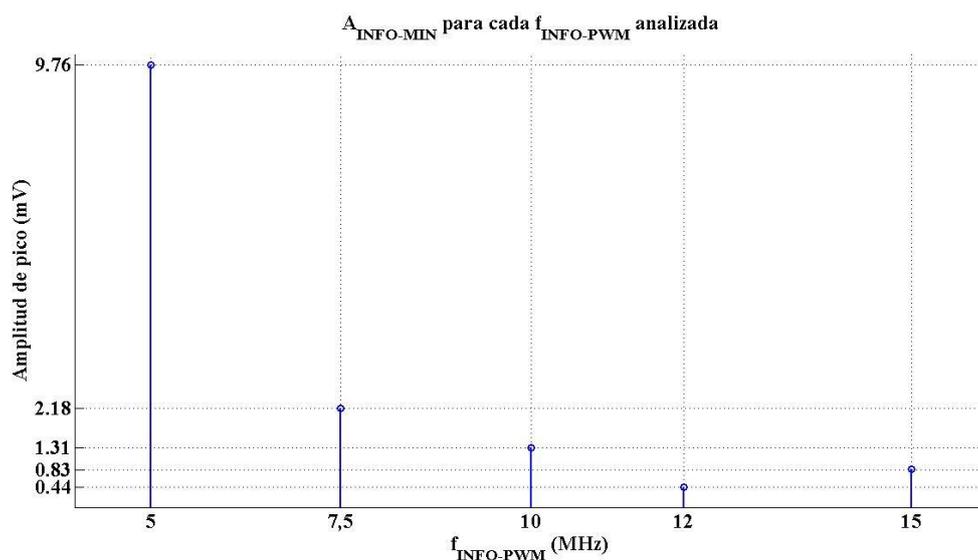


Figura 3.35: $A_{INFO-MIN}$ según la $f_{INFO-PWM}$ del modulador PWM analógico.

En la Figura 3.35 se puede apreciar que $A_{INFO-MIN}$ se reduce según se aumenta $f_{INFO-PWM}$. Esto se debe a que, el armónico principal de $f_{INFO-PWM}$ genera ruido en



frecuencias próximas. Por tanto, según se aleja de $\max(BW_{INFO})$, introduce menor potencia de ruido dentro de BW_{INFO} .

Cabe destacar que con $f_{INFO-PWM} = 5 \text{ MHz}$, no se cumple el teorema de muestreo de Nyquist-Shannon (ver la expresión (1.5)) para $f_{INFO} > 2,5 \text{ MHz}$, lo que implica que la reproducción de señales de dichas frecuencias sería incorrecta.

3.4.- Comparativa Moduladores

En primer lugar, se comparan los resultados obtenidos en los anteriores apartados relacionados con las prestaciones de los moduladores para reproducir señales de muy baja amplitud. En la Figura 3.36, se compara $A_{INFO-MIN-MAX}$ de los sistemas digital y analógico. Teniendo en cuenta que el sistema digital no está optimizado en resolución, se añaden a la comparación los resultados teóricos de un sistema digital optimizado en resolución.

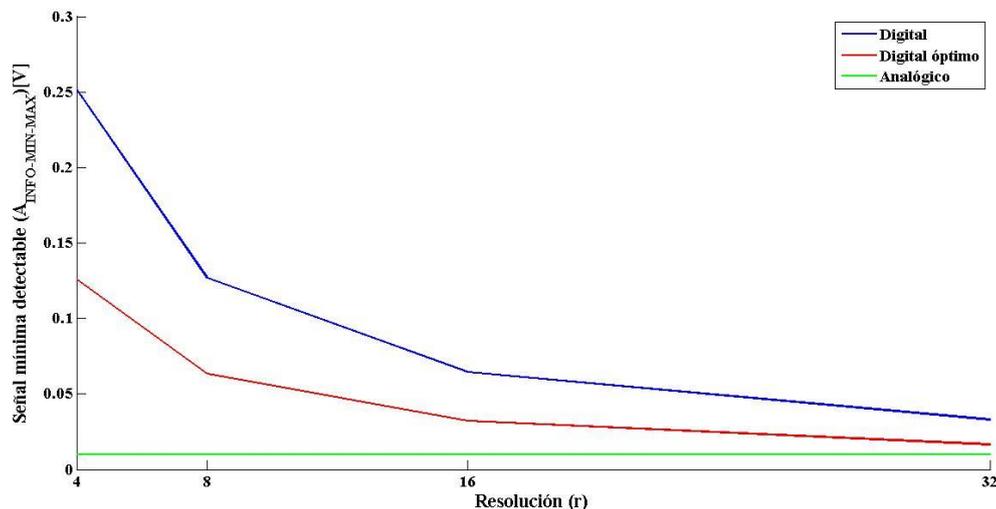


Figura 3.36: Comparación de los sistemas digitales frente al analógico en términos de $A_{INFO-MIN-MAX}$.

Como se puede observar, el sistema analógico diseñado, en el peor caso de funcionamiento ($f_{INFO-PWM} = 5 \text{ MHz}$) permite reproducir señales de una amplitud mucho menor. Siendo necesario recurrir a sistemas digitales con f_{CLK} muy elevada, para obtener una $A_{INFO-MIN-MAX}$ comparable.

Por ejemplo, un modulador digital de $r = 32$ con $f_{INFO-PWM} = 15 \text{ MHz}$, requiere una $f_{CLK} = 480 \text{ MHz}$, para lo cual son necesarios sistemas digitales de elevadas prestaciones y coste.

A nivel de complejidad, el modulador digital es mejor, ya que, con el uso de FPGAs o DSPs solo es necesario diseñar el código que va programado en el dispositivo y realizar sencillas pruebas de funcionamiento. En cambio, el modulador analógico requiere un diseño del circuito con los componentes adecuados, fabricación, montaje y pruebas.



Además, la flexibilidad en el diseño del modulador digital también es mayor, ya que los dispositivos anteriormente mencionados son reprogramables. Mientras que, en el modulador analógico, los cambios necesarios requieren normalmente un rediseño de alguna parte del circuito.

Sin embargo, a la hora de reproducir modulaciones complejas, la mayor precisión del modulador analógico es clave para alcanzar grandes tasas de transmisión de datos. Por tanto, para aplicaciones como VLC, donde se busca elevar la tasa de transmisión de datos, es recomendable el uso de un modulador analógico.



4.- SMPA CLASE D PWM MULTIFASE CON FILTRO DE ALTO ORDEN

En el presente capítulo se detalla el diseño del SMPA clase D PWM propuesto para reproducir señales de comunicaciones en VLC.

4.1.- Requisitos

Los requisitos del SMPA vienen definidos por la carga utilizada: 18 HB-LEDs modelo XLamp MX-3 de Cree [29] conectados en serie.

En primer lugar, se calculan las tensiones y corrientes requeridas para el gobierno de los HB-LEDs. Para ello se obtiene la curva corriente-tensión linealizada ($i_{D-LIN}(v_D)$) [29] (ver la Figura 4.1).

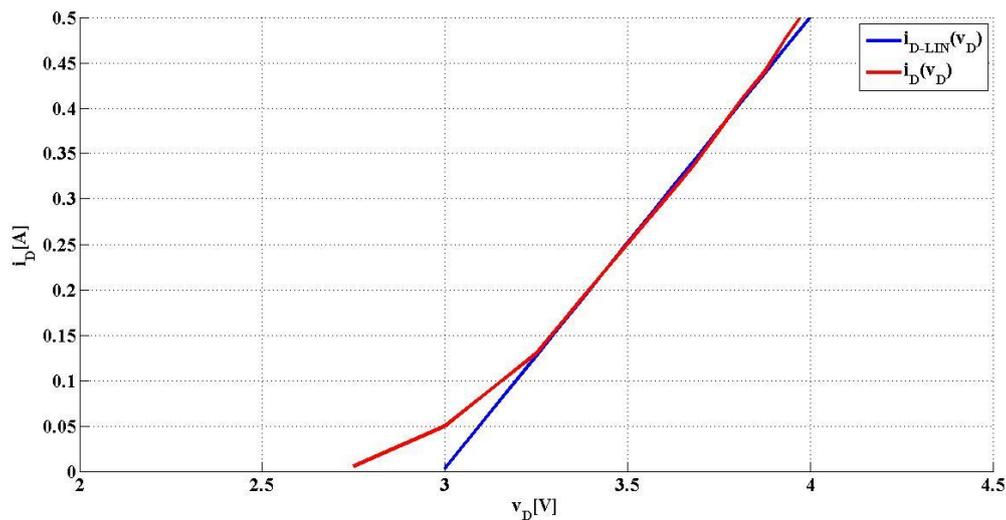


Figura 4.1: Curvas $i_D(v_D)$ y $i_{D-LIN}(v_D)$ del HB-LED XLamp MX-3.

De la Figura 4.1 se extraen en la Tabla 4.1 el punto de polarización i_{D-DC} , la resistencia del HB-LED (R_D) y la amplitud de tensión máxima ($v_{D-PP-MAX}$).

Tabla 4.1: Características del HB-LED XLamp MX-3.

i_{D-DC} [A]	R_D [Ω]	$v_{D-PP-MAX}$ [V]
0.25	2	1

A partir de la información de la Tabla 4.1, se definen los requisitos de salida del SMPA (ver Tabla 4.2):

- R_{OUT} : Resistencia de salida del amplificador.



- $v_{OUT-AC-PP-MAX}$: Amplitud pico-pico máxima de la tensión de salida $v_{OUT-AC}(t)$ del SMPA.
- $i_{OUT-AC-PP-MAX}$: Amplitud pico-pico máxima de la corriente de salida $i_{OUT-AC}(t)$ del SMPA.
- $P_{OUT-AC-MAX}$: Potencia media máxima de salida del SMPA.
- $P_{OUT-AC-P}$: Potencia de pico máxima de salida del SMPA.
- BW_{INFO} : Ancho de banda de las señales procesadas por SMPA.

Tabla 4.2: Requisitos de salida del SMPA teniendo en cuenta la carga empleada.

$R_{OUT}[\Omega]$	$v_{OUT-AC-PP-MAX}[\text{V}]$	$i_{OUT-AC-PP-MAX}[\text{A}]$	$P_{OUT-AC}[\text{W}]$	$P_{OUT-AC-P}[\text{W}]$	$BW_{INFO}[\text{MHz}]$
36	18	0,5	1,125	2,25	[0,1, 3]

4.2.- Topologías multifase con filtro de alto orden

En el apartado 2.2.- se han introducido dos alternativas que permiten un mejor filtrado de los armónicos en el SMPA clase D PWM: las topologías multifase (2.2.1.-) y los filtros de alto orden (2.2.2.-). Ambas alternativas se pueden combinar (ver la Figura 4.2), de forma que se obtienen los beneficios de ambas opciones, resultando en un mejor filtrado de los armónicos de conmutación. A su vez, hay que tener en cuenta la complejidad añadida (número de componentes, pérdidas, dificultad de control, etc.) para elegir la topología más adecuada (número de fases, orden del filtro, etc.).

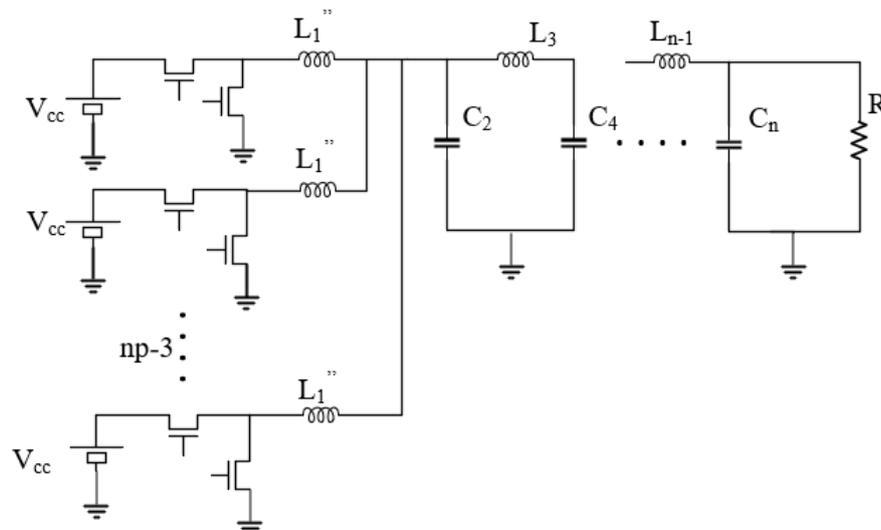


Figura 4.2: Topología de np fases con filtro paso-bajo de orden n .

A fin de determinar la topología más adecuada para la aplicación se realiza un análisis donde se tienen en cuenta los siguientes parámetros:



- Atenuación de la frecuencia máxima de la señal deseada ($At_{INFO-MAX}$): las componentes frecuenciales de la señal deseada cercanas a la frecuencia de corte del filtro (las más altas) se verán atenuadas por la respuesta de este, mientras que las más alejadas no. Esto implica que existe distorsión en amplitud, ya que, el nivel de atenuación depende de la frecuencia de la señal. Cuanto menor sea $At_{INFO-MAX}$, menor distorsión en amplitud.
- Frecuencia máxima de la señal deseada ($f_{INFO-MAX}$): la frecuencia máxima de la señal deseada determina el ancho de banda que se puede emplear para implementar la comunicación. Aumentar $f_{INFO-MAX}$ permite aumentar la tasa de transmisión de datos.
- Frecuencia de conmutación (f_{SW}): es la frecuencia a la que conmutan los transistores del amplificador. Elevar la frecuencia de conmutación facilita su filtrado y permite aumentar el ancho de banda de la señal deseada. Sin embargo, aumenta la complejidad del control y las pérdidas de los transistores.
- Atenuación de la componente de conmutación (At_{FSW}): nivel de atenuación del filtro a la frecuencia de la componente de conmutación más significativa de cada topología multifase. Cuanto mayor sea, menor ruido de conmutación a la salida.
- Número de fases (np): aumentar el número de fases permite cancelar más armónicos de la componente de conmutación, facilitando el filtrado. Por otro lado, implica mayores pérdidas al añadir más componentes e incrementar la complejidad del control.
- Orden del filtro (n): aumentar el orden del filtro agudiza la respuesta en frecuencia aumentando la atenuación introducida a la f_{SW} y disminuyendo la distorsión de $f_{INFO-MAX}$. Su aumento también implica la necesidad de más componentes reactivos.
- Reproducción de la señal: capacidad de regenerar la señal a partir de las muestras tomadas en cada conmutación. Para ello se debe cumplir el teorema de muestreo de Nyquist-Shannon (expresión (1.5)). En la práctica, es recomendable que la separación entre $f_{INFO-MAX}$ y f_{SW} sea mayor a la que indica el teorema.

Teniendo en cuenta los parámetros anteriormente expuestos se realiza una comparativa de las diferentes topologías fijando los siguientes parámetros:

- Frecuencia máxima de la señal deseada: 3 MHz.
- Atenuación máxima de la señal deseada: 0.0873 dB.
- Atenuación de la componente de conmutación: 60 dB.
- Tipo de filtrado: Butterworth.

Se analizan topologías según el número de fases ($np = [1, 2, 3, 4]$) y el orden del filtro ($n = [2, 4, 6, 8, 10]$), calculando, para cada una de ellas, la frecuencia de conmutación a la que se cumplen los parámetros establecidos.

Tabla 4.3: Frecuencias de conmutación mínimas que aseguran los parámetros de entrada para las diferentes topologías analizadas.

n np	2	4	6	8	10
1	249.7 MHz	27.2 MHz	13 MHz	9 MHz	7.2 MHz



2	88.4 MHz	11.5 MHz	5.8 MHz	4.1 MHz	3.4 MHz
3	48.2 MHz	6.9 MHz	3.6 MHz	2.6 MHz	2.2 MHz
4	31.3 MHz	4.8 MHz	2.6 MHz	1.9 MHz	1.6 MHz

En la Figura 4.3 se representa la información de la Tabla 4.3; **Error! No se encuentra el origen de la referencia.** (excepto el filtro de orden $n = 2$) de forma más visual.

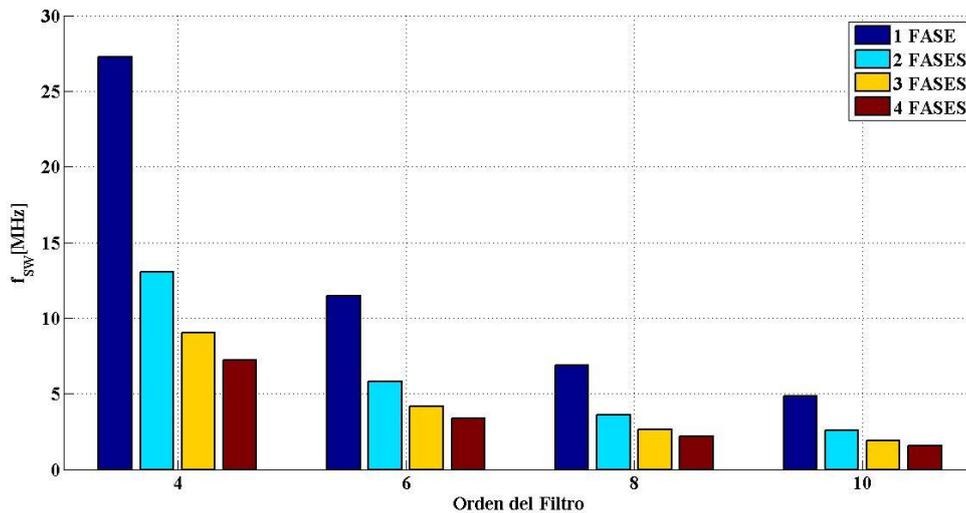


Figura 4.3: Diagrama de barras de la frecuencia de conmutación mínima para cada topología.

A partir de los resultados obtenidos se escoge una topología de dos fases y filtro de cuarto orden a frecuencia de conmutación de 12 MHz. Esto es debido a que se considera aceptable que f_{SW} sea 4 veces superior a $f_{INFO-MAX}$ para que se pueda reproducir la señal correctamente. Teniendo en cuenta la Tabla 4.3; **Error! No se encuentra el origen de la referencia.**, el valor inferior y más próximo a 12 MHz corresponde a $np = 2$ y $n = 4$, de forma que se escoge la topología más sencilla que cumple los requisitos para $f_{SW} = 12 \text{ MHz}$.

4.3.- SMPA clase D PWM bifase con filtro de cuarto orden

El presente apartado contiene una explicación detallada del funcionamiento de SMPA clase D PWM propuesto, así como la selección de los componentes necesarios y los resultados experimentales obtenidos.

4.3.1.- Etapa de potencia

La etapa de potencia comienza con la generación de las señales $v_{SW1}(t)$ y $v_{SW2}(t)$ (ver la Figura 4.4 a)). Como ya se ha comentado, dichas señales se generan mediante la conmutación alternativa de dos MOSFETs (fase 1: M_1 y M_2 ; fase 2: M_3 y M_4). A su vez, los MOSFETs se controlan a través de las señales de puerta ($v_{GATEn}(t)$) (ver la Figura 4.4 b)).



Cuando la señal está en estado alto ($v_{GATEn}(t) = v_{GATE}$), el MOSFET conduce (ON), mientras que, cuando está en estado bajo ($v_{GATEn}(t) = 0$), el MOSFET no conduce (OFF).

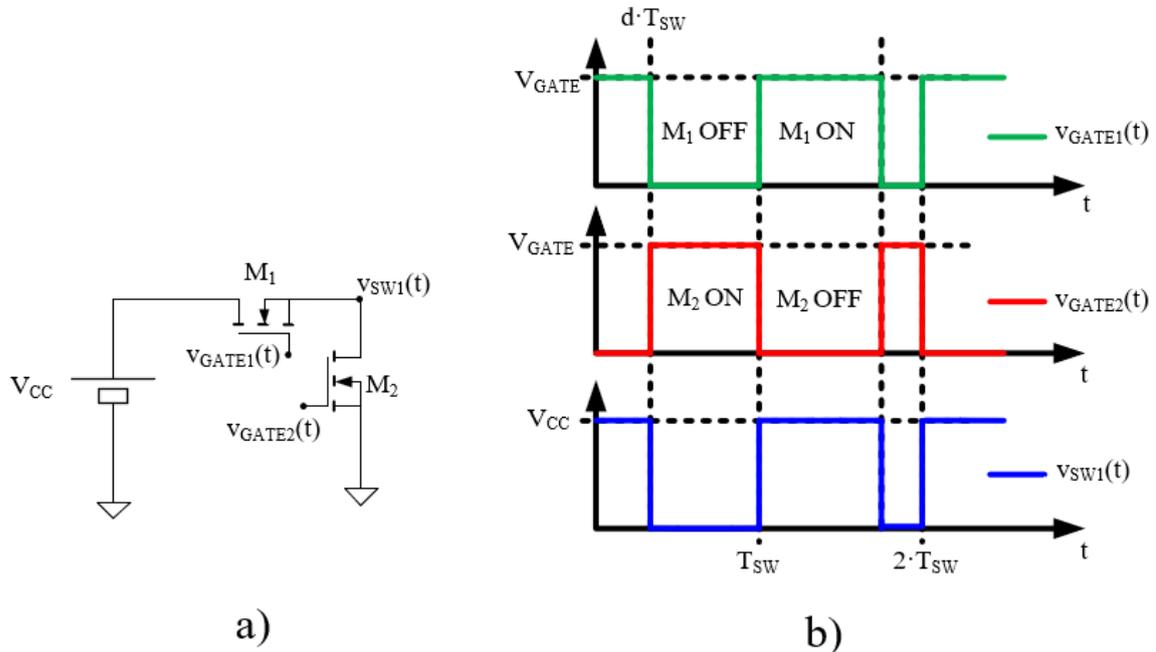


Figura 4.4: Generación de $v_{SW1}(t)$. a) Esquemático del nodo de conmutación. b) $v_{GATE1}(t)$, $v_{GATE2}(t)$, $v_{SW1}(t)$.

En caso de que ambos MOSFETs de una misma fase conduzcan simultáneamente, se produce un cortocircuito entre V_{CC} y masa, que provocaría la rotura de estos por exceder su corriente máxima. Para evitar este problema, conviene dejar un tiempo muerto (t_{DEAD}), en el que ninguno de los dos MOSFETs conduzca durante las conmutaciones (ver la Figura 4.5). La generación de los t_{DEAD} se aborda en el apartado 4.3.2.-.

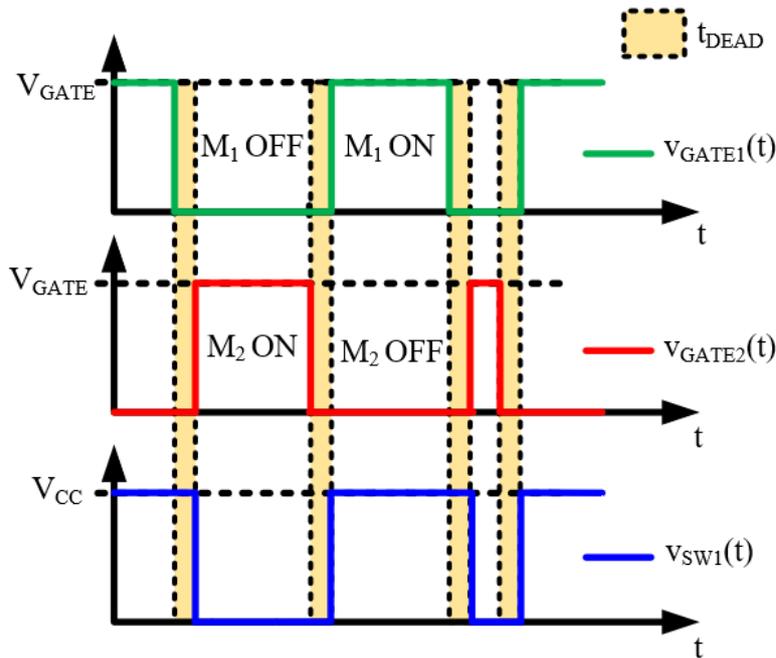


Figura 4.5: Generación de la señal $v_{SW1}(t)$ dejando t_{DEAD} en $v_{GATE1}(t)$ y $v_{GATE2}(t)$.

Al utilizar una topología de dos fases, las señales $v_{SW1}(t)$ y $v_{SW2}(t)$ deben estar desfasadas 180° entre sí. La suma de ambas señales se realiza a través de dos bobinas idénticas (L_1') (ver la Figura 4.6 a)). Realizando las simplificaciones explicadas en 2.2.1.-, se puede obtener la relación entre las bobinas reales y la bobina equivalente (L_1), lo que facilita el diseño del filtro (ver la Figura 4.6 b)).

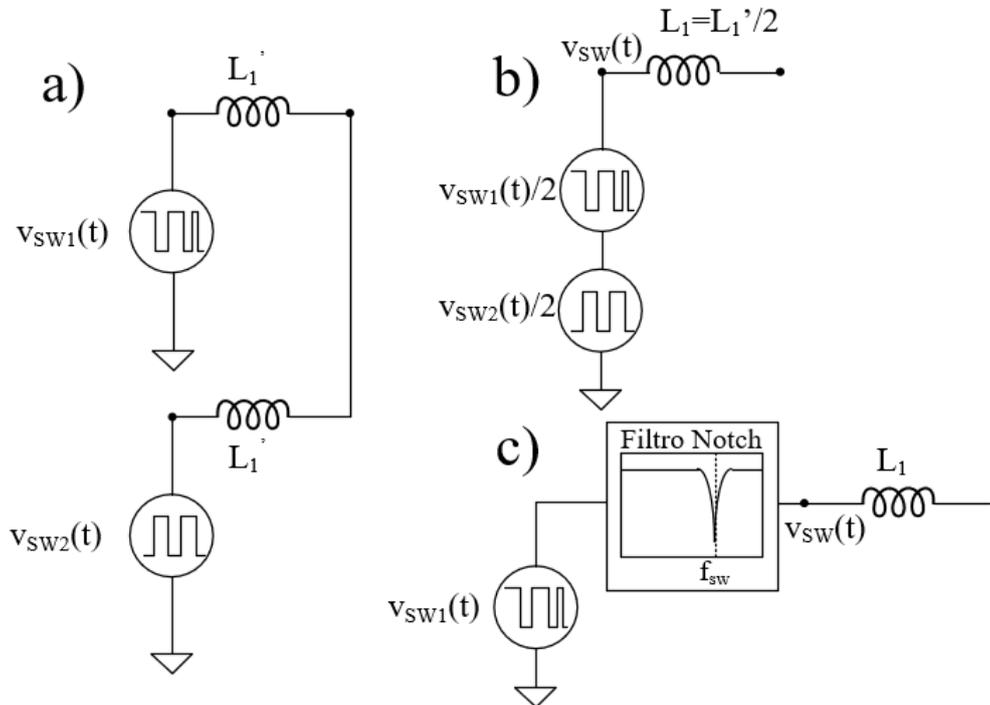


Figura 4.6: Simplificación de la topología bifase. a) Sustitución de los MOSFETs por fuentes. b) Obtención de la bobina equivalente. c) Filtro notch equivalente.



La señal $v_{SW}(t)$ no se encuentra en la topología real. Únicamente aparece en el equivalente y permite observar el efecto del filtro *notch* en el dominio del tiempo (ver la Figura 2.8).

El filtrado de la señal $v_{SW}(t)$ se lleva a cabo mediante un filtro paso-bajo de 4º orden y un filtro paso-alto de 1º orden.

El filtro paso-bajo de 4º orden complementa el efecto de filtro *notch* de la topología bifase (ver la Figura 4.7) rechazando los armónicos que el filtro *notch* no elimina (ver la Figura 4.8). La combinación de estos efectos da lugar a la señal $v_{FIL-OUT}(t)$ (ver la Figura 4.9).

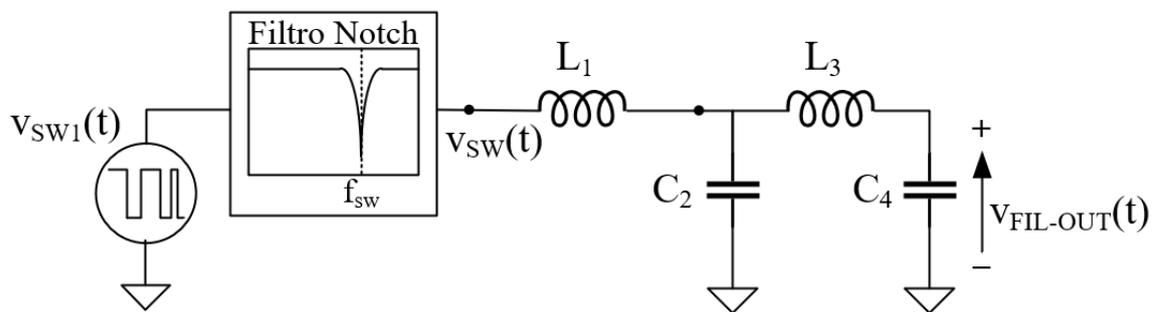


Figura 4.7: Esquema del filtro *notch* equivalente combinado con el filtro paso-bajo de 4º orden.

Las funciones de transferencia del filtro de 4º orden ($|H_{4-ORD}(f)|^2$) y del filtro resultante de la combinación ($|H_{LP}(f)|^2$) se observan, junto a la señal $v_{SW1}(t)$ (compuesta por el nivel de continua, $v_{INFO}(t)$ y los armónicos de conmutación) en la Figura 4.8.

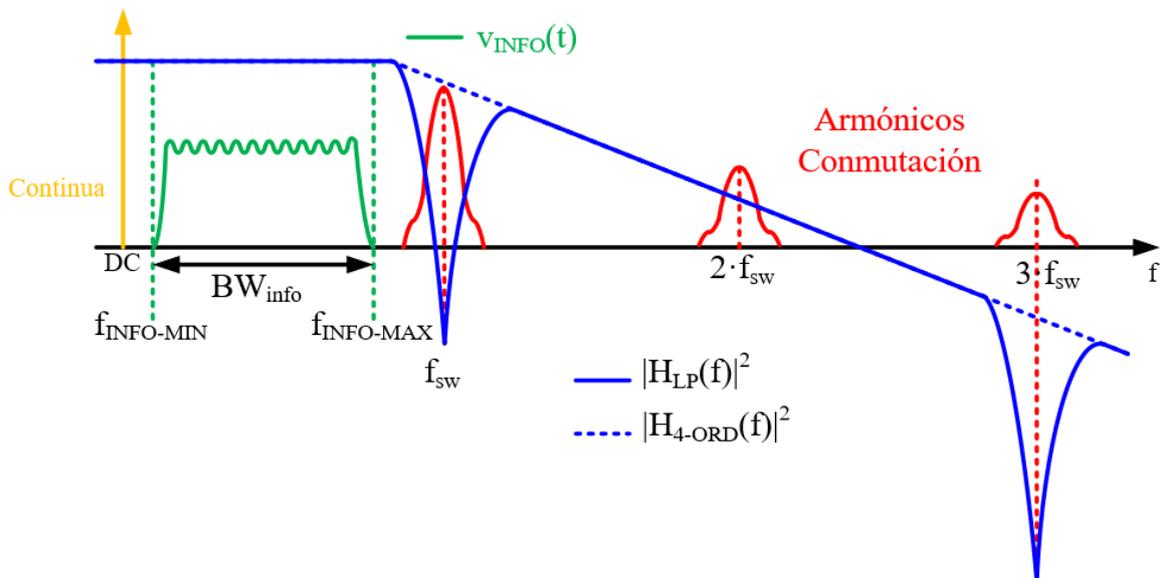


Figura 4.8: Efecto de la combinación de la topología bifase con el filtro de 4º orden.

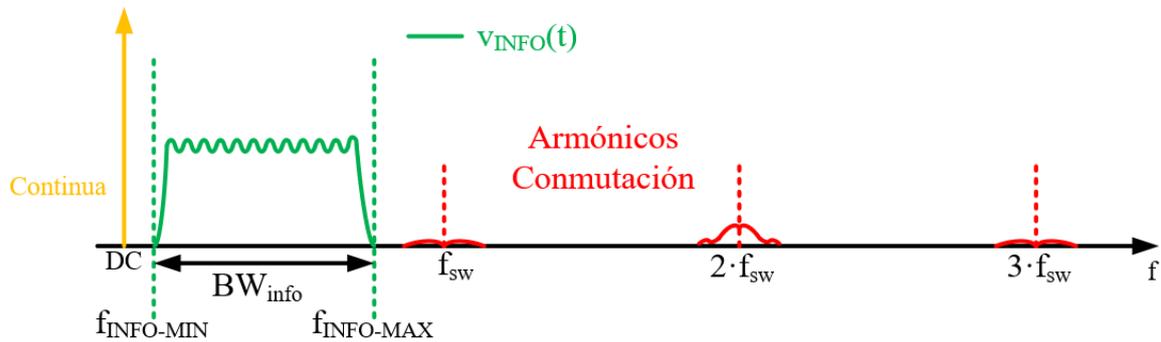


Figura 4.9: Espectro de $v_{FIL-OUT}(t)$.

También es necesario filtrar el nivel de continua presente tanto en la señal $v_{SW}(t)$ como en $v_{FIL-OUT}(t)$. Para ello se sitúan dos condensadores idénticos (C_{AC-PH1} y C_{AC-PH2}) en serie con las bobinas L_1' , es decir, uno en cada fase, que actúan como un filtro paso alto de primer orden. Ambos equivalen a un único condensador de valor $C_{AC-PH} = 2 \cdot C_{AC-PH1}$.

El motivo por el cual se sitúan condensadores en serie en las fases es para asegurar que la corriente por las fases ($i_{PH1}(t)$ y $i_{PH2}(t)$) no tenga nivel de continua. A priori, no hay problema en que exista un nivel de continua. Es más, en otras aplicaciones como los SMPC multifase, debe existir. Sin embargo, ante variaciones en el ciclo de trabajo, se puede producir un desbalanceo en las corrientes por las fases, haciendo que una de ellas aporte más corriente que la otra [30].

Como se puede observar en la Figura 4.10 c), el desbalanceo se puede manifestar en forma de un distinto nivel de continua o de distintas fases y amplitudes de señal. Es decir, una fase puede estar aportando mayor potencia que la otra, lo que repercute en un deterioro más acelerado de sus componentes o incluso en la rotura por exceso de corriente.

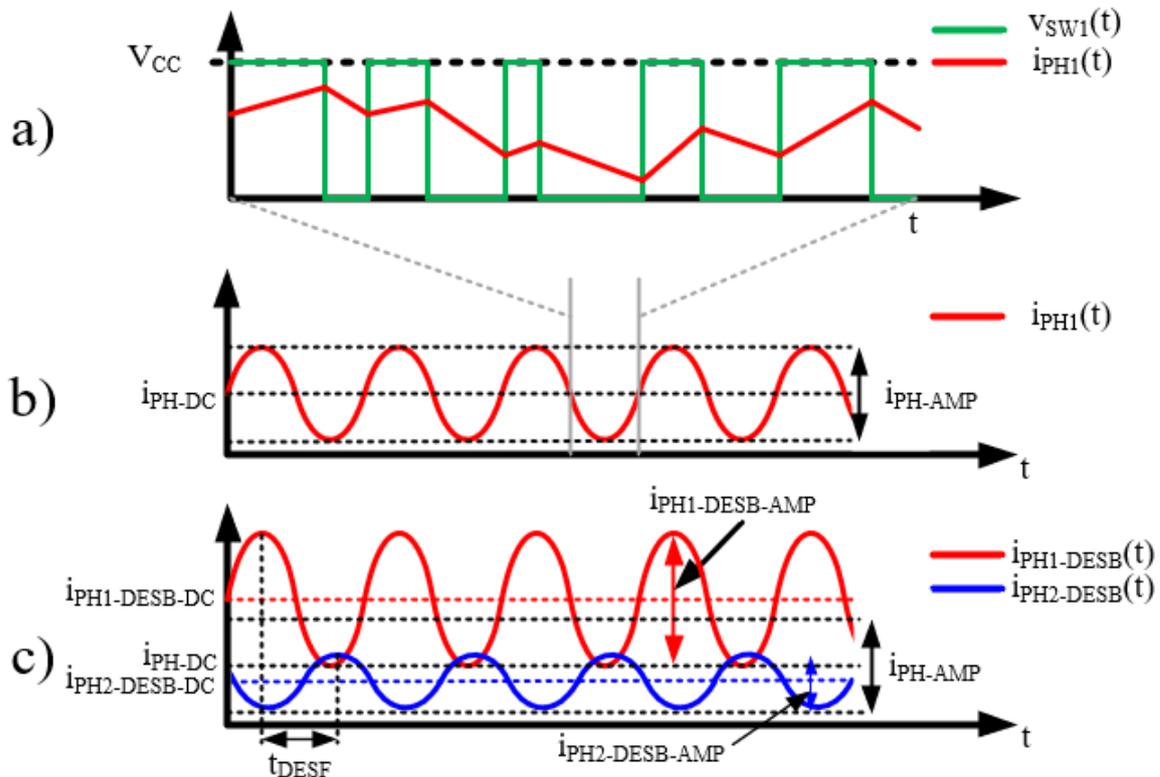


Figura 4.10: Desbalanceo de corrientes por las fases. a) $v_{SW1}(t)$ e $i_{PH1}(t)$ balanceada a periodo de conmutación. b) $i_{PH1}(t)$ balanceada a periodo de la señal $v_{INFO}(t)$. c) $i_{PH1}(t)$ y $i_{PH2}(t)$ desbalanceadas en nivel de continua ($i_{PH1-DESB-DC}$, $i_{PH2-DESB-DC}$), amplitud ($i_{PH1-DESB-AMP}$, $i_{PH2-DESB-AMP}$) y fase (t_{DESF}).

Al situar un condensador en cada fase se consigue eliminar el nivel de continua evitando el desbalanceo del mismo. Sin embargo, aún se puede producir un desbalanceo a nivel de fase o amplitud de señal de corriente.

Durante la realización de las pruebas se ha observado que al utilizar señales de control desfasadas mediante la línea de retardo (ver el apartado 3.3.2.3.-), el prototipo tiende al desbalanceo de fase y amplitud, mientras que con el desfase mediante comparación con la triangular desfasada no.

Por otra parte, debido a la necesidad de un elemento externo que polarice los HB-LEDs (generalmente un SMPC), es necesario sumar de forma adecuada la señal ($i_{OUT-AC}(t)$) con el nivel de continua de la polarización ($i_{OUT-DC} = i_{D-DC}$) (ver la Figura 4.11 c)). Para ello se requiere un elemento que bloquee la entrada de v_{OUT-DC} hacia el SMPA permitiendo que $i_{OUT-AC}(t)$ llegue a los HB-LEDs inalterada. Por consiguiente, es necesario un filtro paso-alto, para lo cual se puede utilizar un único condensador en serie (C_{AC-OUT}) (ver la Figura 4.11 a)).

Para permitir que $i_{OUT-AC}(t)$ llegue a los HB-LEDs de forma íntegra se debe evitar su derivación hacia el SMPC polarizador. Para ello se sitúa un choque de RF formado por una bobina (L_{DC-OUT}) en serie que actúa como filtro paso-bajo (ver la Figura 4.11 a)),



permitiendo el paso de la continua hacia los HB-LEDs y evitando que $i_{OUT-AC}(t)$ llegue al SMPC.

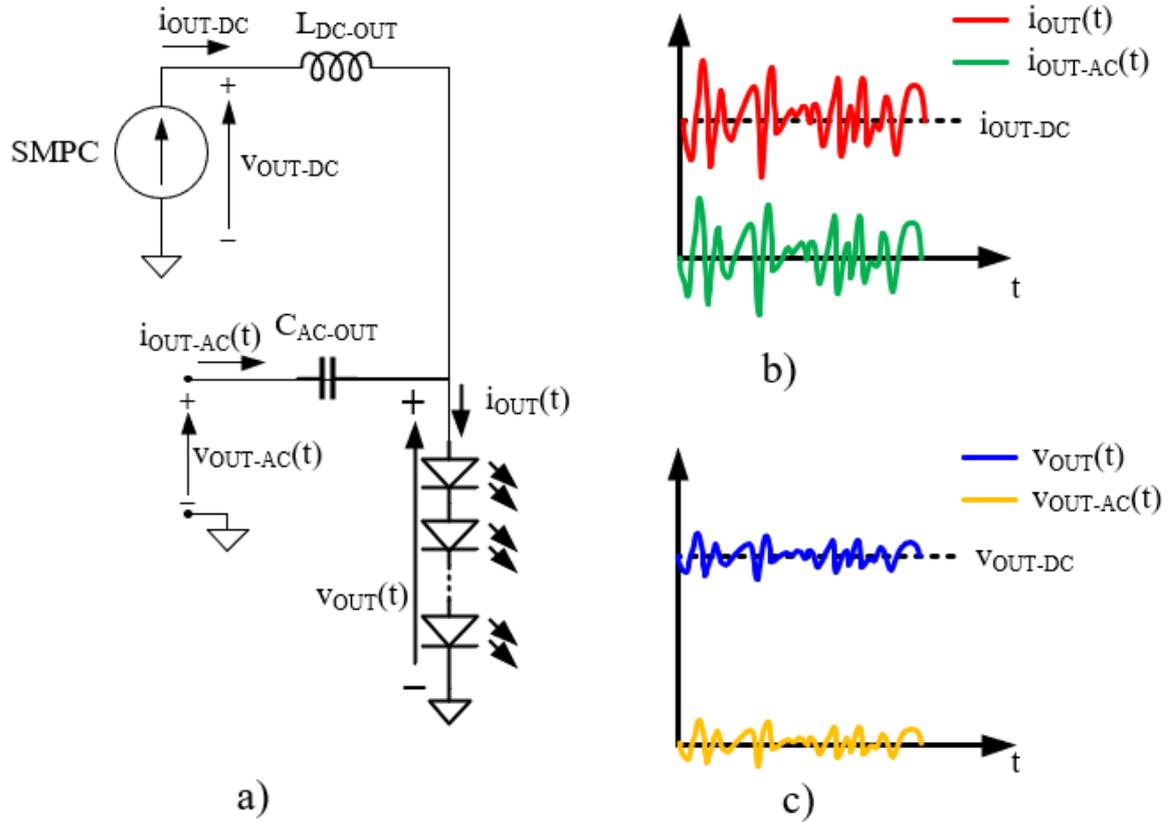


Figura 4.11: Gobierno de los HB-LEDs. a) Esquema del circuito. b) $i_{OUT-AC}(t)$, i_{OUT-DC} e $i_{OUT}(t)$. c) $v_{OUT-AC}(t)$, v_{OUT-DC} y $v_{OUT}(t)$.

El esquema global de la etapa de potencia se muestra en la Figura 4.12.

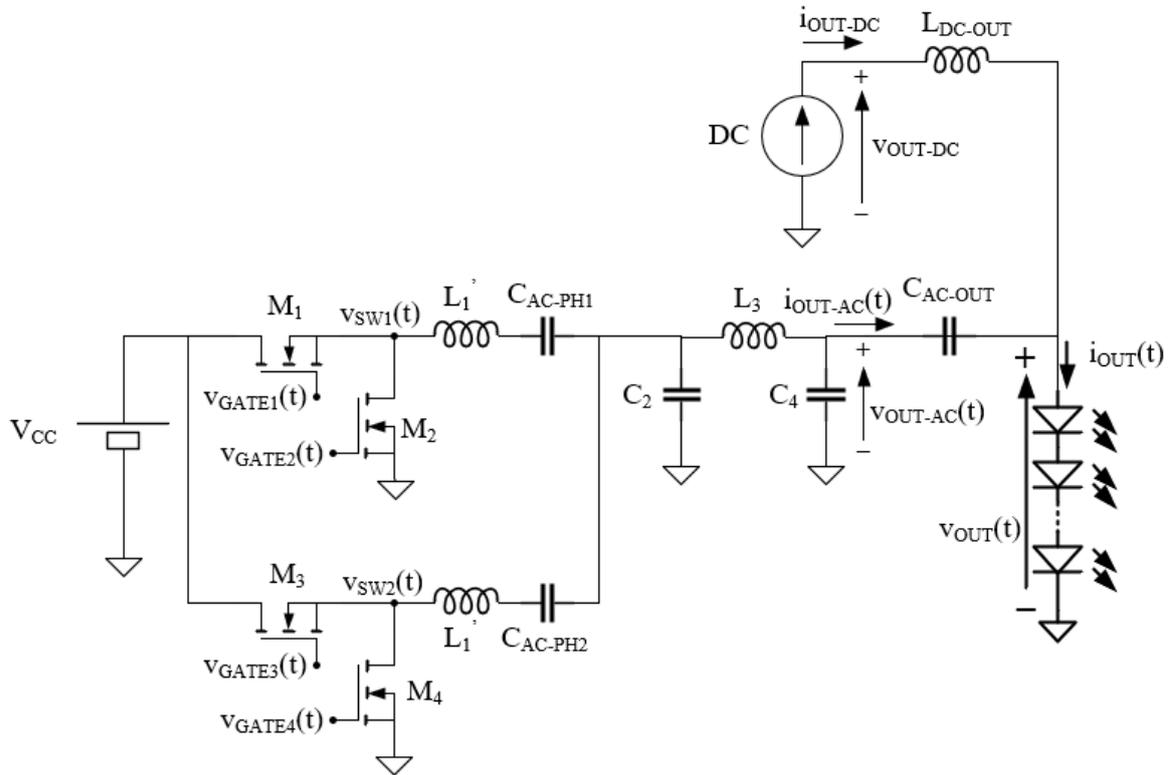


Figura 4.12: Esquema global de la etapa de potencia del SMPA clase D bifase con filtro de 4º orden.

4.3.2.- Etapa de control

En el SMPA clase D PWM, la etapa de control se compone del modulador PWM y de un circuito de adecuación de las señales para las puertas de los MOSFETs. Es decir, la entrada a la etapa de control sería la misma que en el modulador del capítulo 3 ($v_{INFO}(t)$), y la salida serían las señales $v_{GATE_n}(t)$ introducidas en el apartado anterior. Como todo lo referido al modulador ya se ha explicado en profundidad en el capítulo 3, en este apartado la etapa de control comenzará con las señales de salida del modulador ($v_{PWM}(t)$, $v_{PWM-DESf}(t)$, $v_{PWM-COMP}(t)$ y $v_{PWM-DESf-COMP}(t)$) ya generadas.

El primer paso para adecuar las señales será introducir un t_{DEAD} suficiente para evitar que los MOSFETs de una fase conduzcan simultáneamente. Para ello se utiliza un circuito de generación de tiempos muertos como el que se muestra en la Figura 4.13 a) [31]. Las puertas AND y NAND corresponden al circuito de generación de complementarias del modulador PWM. Cuando la señal $v_{PWM}(t)$ pasa de estado bajo a estado alto, el condensador C_{TD1} se carga a través de la resistencia R_{TD1} , haciendo que la tensión sobre este ($v_{PWM-TD}(t)$) aumente siguiendo la expresión (4.1). En cambio, cuando $v_{PWM-TD}(t)$ pasa nuevamente a estado bajo, la descarga de C_{TD1} se hace a través de D_{TD1} , siendo prácticamente instantánea comparada con la carga.

$$v_{PWM-TD}(t) = 5 \cdot \left(1 - e^{-\frac{t}{R_{TD1}C_{TD1}}} \right). \quad (4.1)$$

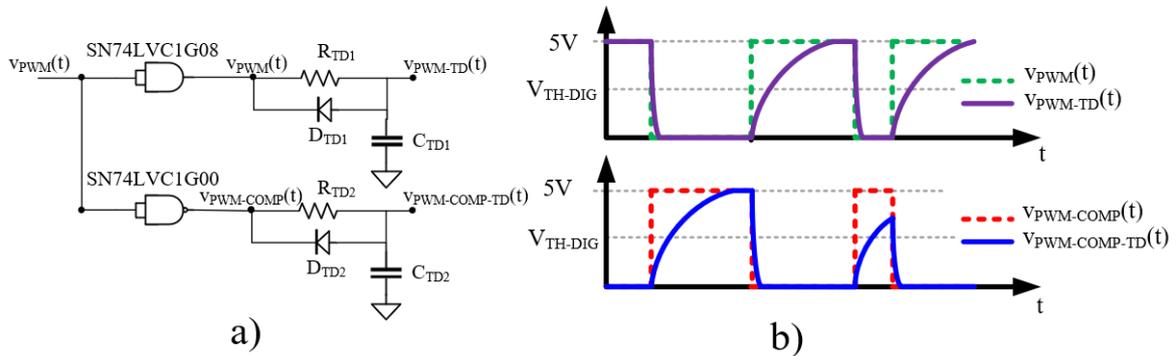


Figura 4.13: Generación de tiempos muertos para la fase 1. a) Esquema del circuito. b) $v_{PWM}(t)$ y $v_{PWM-TD}(t)$, $v_{PWM-COMP}(t)$ y $v_{PWM-COMP-TD}(t)$.

Las señales para la fase 2 ($v_{PWM-DESF-TD}(t)$ y $v_{PWM-DESF-COMP-TD}(t)$) se generan de forma idéntica.

Para que el tiempo muerto se aplique, es necesario que la señal $v_{PWM-TD}(t)$ sea leída por un circuito digital con un umbral de decisión (v_{TH-DIG}) conocido. De forma que no pase de estado bajo a alto hasta que $v_{PWM-TD}(t) \geq v_{TH-DIG}$. Por tanto, el valor de t_{DEAD} se puede calcular de la siguiente forma:

$$t_{DEAD} = -R_{TD1} \cdot C_{TD1} \cdot \ln\left(1 - \frac{v_{TH-DIG}}{5}\right). \tag{4.2}$$

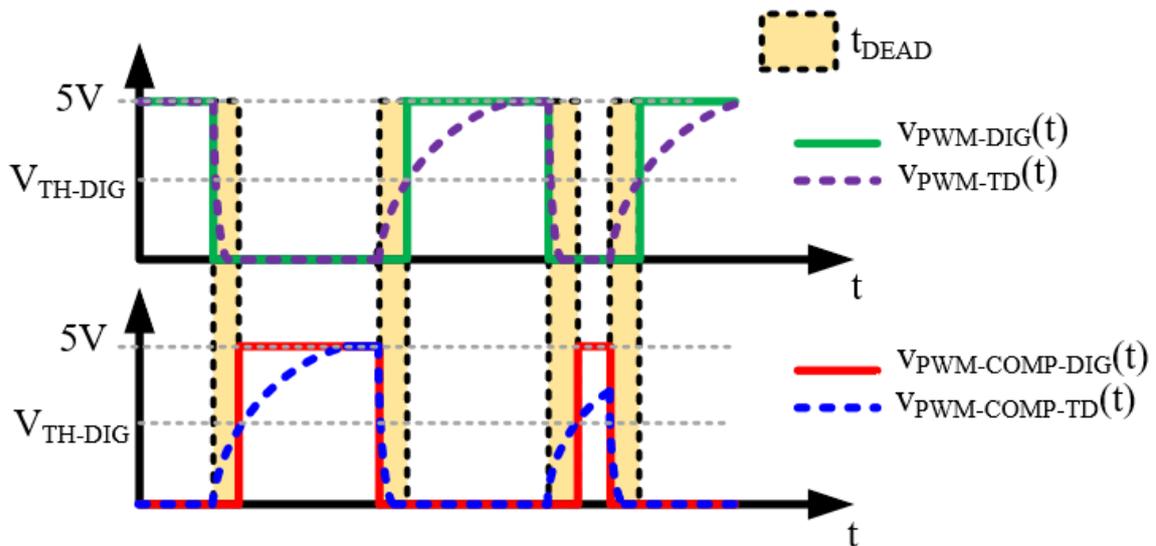


Figura 4.14: Señal PWM tras aplicar el tiempo muerto ($v_{PWM-DIG}(t)$) y la complementaria ($v_{PWM-COMP-DIG}(t)$) comparadas con $v_{PWM-TD}(t)$ y $v_{PWM-COMP-TD}(t)$.

El segundo paso para la adecuación de las señales es referir las señales de control de los MOSFETs M_1 y M_3 a sus respectivos nodos de conmutación (SW_1 y SW_2). Esto se debe



a que los MOSFETs se controlan por medio de su tensión puerta-fuente ($v_{GS}(t)$) y, tanto M_1 como M_3 , tienen su terminal fuente (S) conectado a su respectivo nodo de conmutación (ver la Figura 4.15).

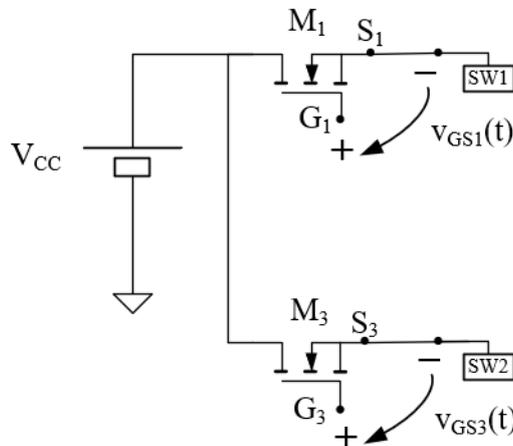


Figura 4.15: Esquema indicando las referencias necesarias para las señales de control de M_1 y M_3 .

Para ello, se utilizan aisladores digitales (ver la Figura 4.16), que permiten cambiar la referencia de su señal de entrada. Además, proporcionan la lectura digital necesaria para aplicar el tiempo muerto. Ambos aisladores requieren una alimentación (5V a masa) para la entrada. Para la salida, el aislador de M_1 requiere una alimentación de 5V (nodo etiquetado como 5*V) referenciados a SW1, y el aislador de M_3 requiere una alimentación de 5V (nodo etiquetado como 5**V) referenciados a SW2.

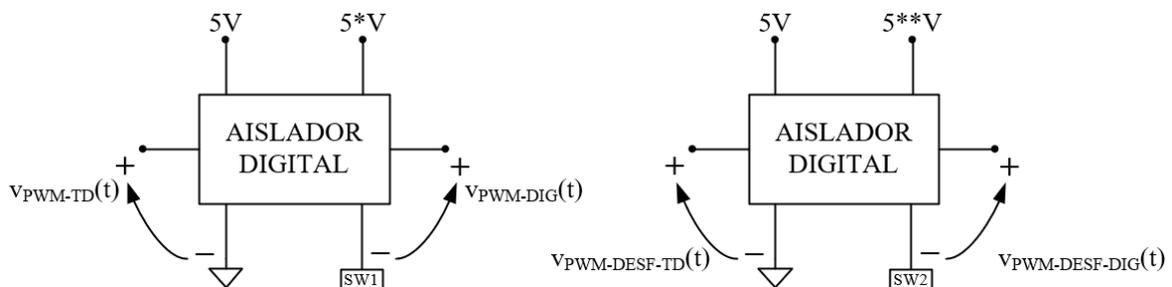


Figura 4.16: Esquema de los aisladores digitales necesarios para cambiar la referencia de las señales de control de M_1 y M_3 .

El aislador digital introduce un retardo sobre su señal de entrada. A fin de evitar desfases entre las señales de control, también se sitúan aisladores para las señales de control de los MOSFETs M_2 y M_4 . En este caso no se cambia de referencia y el aislador únicamente proporciona la lectura digital necesaria para el tiempo muerto.

El tercer y último paso en la adecuación de las señales es elevar su potencia a niveles aceptables para los MOSFETs. Esto se lleva a cabo mediante *drivers* de MOSFETs, que son circuitos capaces de aportar los niveles de corriente necesarios para su control.

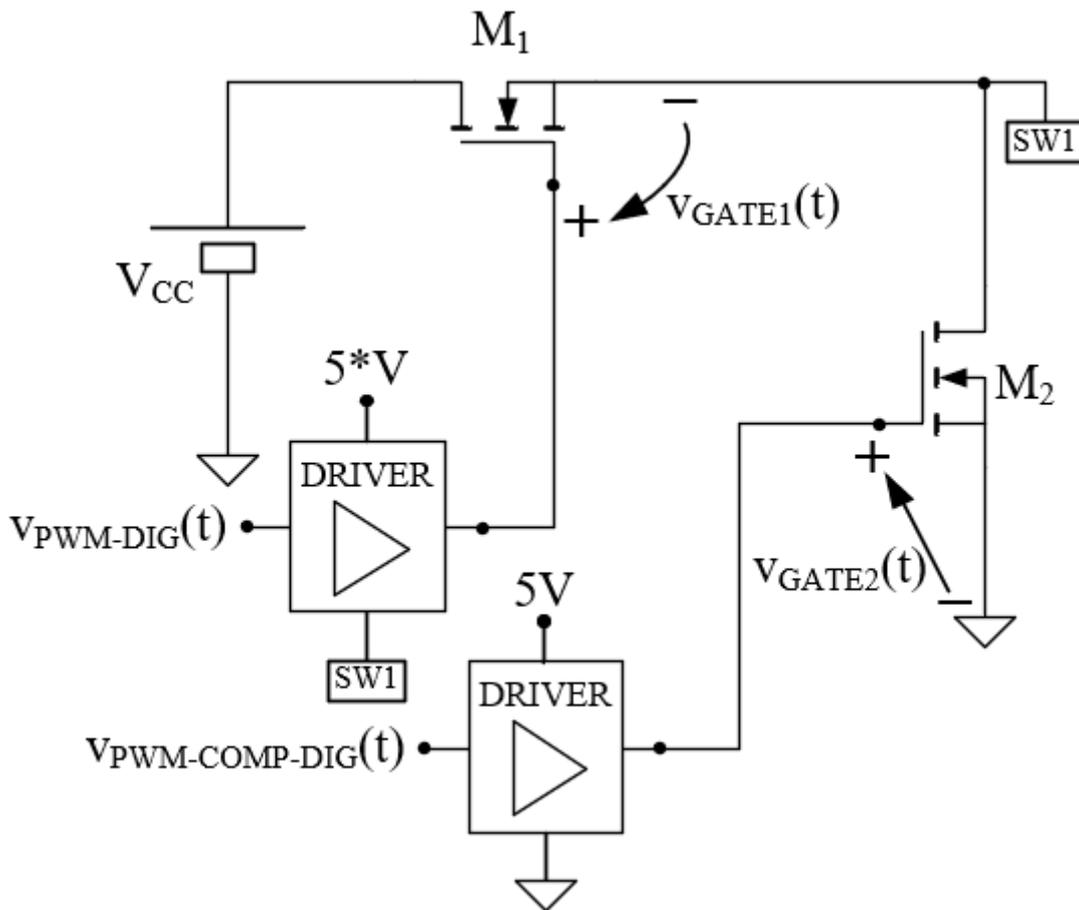


Figura 4.17: Esquema con los drivers necesarios para el control de M_1 y M_2 .

Finalmente, es necesario generar los niveles de tensión referenciados a ambos nodos de conmutación (5^*V y $5^{**}V$). Para ello se utilizan SMPCs con aislamiento, que son capaces de proporcionar niveles de alimentación cuya referencia es distinta que la de su tensión de entrada.

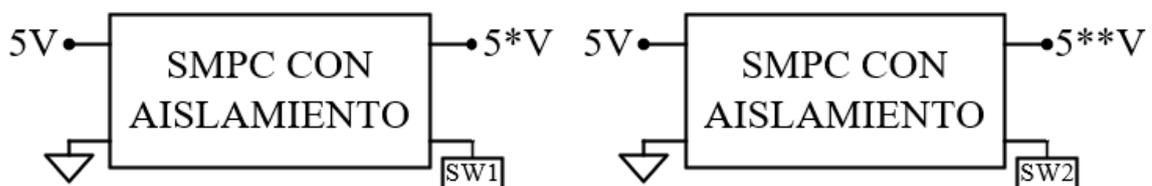


Figura 4.18: Esquema de los SMPCs con aislamiento para generar las alimentaciones 5^*V y $5^{**}V$.

El esquema global de la etapa de control se muestra en la Figura 4.19.

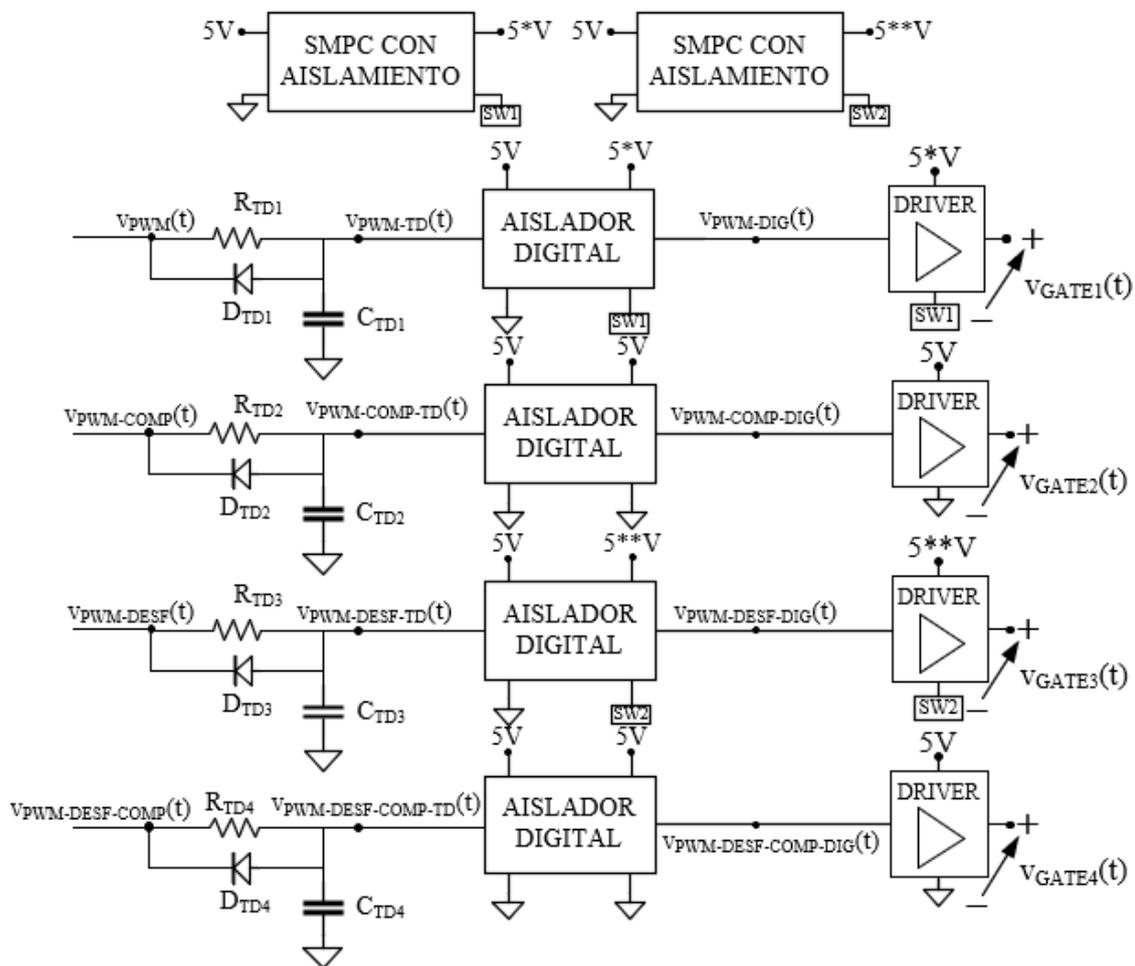


Figura 4.19: Esquema global de la etapa de control.

4.3.3.- Prototipo

Una vez explicado el funcionamiento de las etapas de potencia y control, se justifican los componentes elegidos y las decisiones de diseño tomadas.

4.3.3.1.- Selección de V_{CC}

En primer lugar, se debe escoger un valor adecuado para la tensión de alimentación del amplificador (V_{CC}). Para ello se tiene en cuenta la expresión (4.3).

$$v_{OUT-AC}(t) = d(t) \cdot V_{CC} - \frac{V_{CC}}{2}. \tag{4.3}$$

El ciclo de trabajo ($d(t)$) tiene un valor medio ($d_{DC} = 0,5$) y una componente de alterna ($d_{AC}(t)$). De forma que la expresión (4.3) se simplifica:

$$v_{OUT-AC}(t) = d_{AC}(t) \cdot V_{CC}. \tag{4.4}$$

Por tanto, los valores de V_{CC} utilizados deben cumplir la siguiente condición:



$$V_{CC} \leq \frac{v_{OUT-AC-PP-MAX}}{2 \cdot \max(d_{AC}(t))} \quad (4.5)$$

En los requisitos se establece un valor $v_{OUT-AC-PP-MAX}$ de 18 V y el rango de $d(t)$ del modulador PWM analógico es [20, 80] %. Es decir, $d_{AC}(t)$ varía en el rango [-30, 30] %. Por tanto, se debe cumplir $V_{CC} \leq 30$ V.

Finalmente se escoge un valor $V_{CC} = 20$ V, para evitar que los MOSFETs soporten tensiones cercanas a su máximo en caso de oscilaciones en $v_{SWn}(t)$. Dicha elección permite obtener los valores de salida que se muestran en la Tabla 4.4.

Tabla 4.4: Características de salida del SMPA para $V_{CC} = 20$ V.

$v_{OUT-AC-PP-MAX}$ [V]	12	$P_{OUT-AC-MAX}$ [W]	0,5
$i_{OUT-AC-PP-MAX}$ [A]	0,33	$P_{OUT-AC-P-MAX}$ [W]	1

4.3.3.2.- MOSFETs

A la hora de elegir los MOSFETs adecuados, además de comprobar que son capaces de soportar las tensiones y corrientes pertinentes, se evaluarán en base a las capacidades C_{ISS} y C_{OSS} , ya que afectan en gran medida al rendimiento del SMPA.

Por un lado, las tensiones a tener en cuenta son: la tensión drenador-fuente máxima (v_{DS-MAX}) y la tensión puerta-fuente (v_{GS-MAX}). El modelo elegido deberá ser capaz de soportar tensiones v_{DS-MAX} superiores a V_{CC} y tensiones v_{GS-MAX} superiores a $v_{GATE-PP}$. El valor de $v_{GATE-PP}$ se fija en 5 V, el cual, a priori, es muy reducido con relación al parámetro v_{GS-MAX} de los MOSFETs que se evalúan. Sin embargo, si $v_{GATE-PP}$ es elevada y se producen oscilaciones en los pulsos de control, puede llegar a romperse el MOSFET.

Por otro lado, el MOSFET deberá ser capaz de soportar corrientes de drenador (i_{D-MAX}) superiores a la corriente por cada fase ($i_{PH}(t)$). Es preferible que se deje un amplio margen por si se producen desbalances en las corrientes por las fases.

Los modelos evaluados son: SSM3K336R de Toshiba [32], AFT05MS003N de Freescale Semiconductor [33] y PD85004 de ST [34]. En la Tabla 4.5 se comparan sus características con los valores mínimos aceptables.

Tabla 4.5: Comparación de los valores mínimos con las características de los modelos comerciales evaluados.

	Mínimos	SSM3K336R	AFT05MS003N	PD85004
v_{DS-MAX} [V]	20	30	30	40
v_{GS-MAX} [V]	5	20	12	15
i_{D-MAX} [A]	0,33	3	3	2
C_{ISS} [pF]		126	38,5	16



C_{OSS} [pF]	26	23,2	14
----------------	----	------	----

Teniendo en cuenta la Tabla 4.5, la elección más lógica es el MOSFET PD85004 debido a sus menores C_{ISS} y C_{OSS} . Desafortunadamente, en el momento de la elección, este dispositivo no se encontraba disponible. Como consecuencia, se ha optado por los otros dos modelos (priorizando el AFT05MS003N por sus menores C_{ISS} y C_{OSS}) para las medidas experimentales. Durante las medidas experimentales, el modelo AFT05MS003N no era capaz de procesar los ciclos de trabajo más extremos sin romperse. Por ello, finalmente, se decide utilizar el modelo SSM3K336R.

Para ver el efecto sobre el rendimiento que tiene cada MOSFET, se obtiene el rendimiento máximo teórico del SMPA considerando únicamente P_{GATE} y P_{COSS} de los MOSFETs evaluados (ver la Figura 4.20).

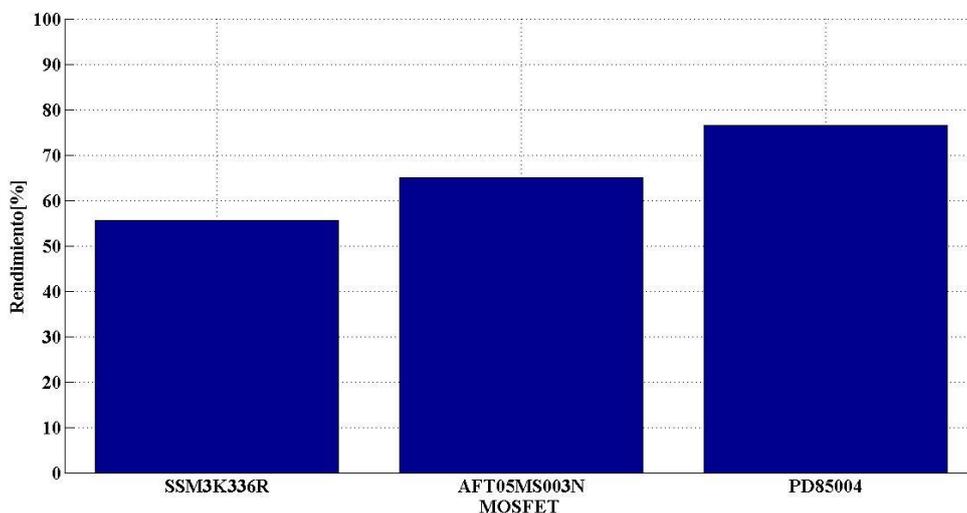


Figura 4.20: Rendimiento máximo teórico del SMPA considerando únicamente las pérdidas debidas a los MOSFETs.

4.3.3.3.- Filtro

A continuación se explica la selección de los valores de bobinas y condensadores necesarios para los filtros paso-bajo y paso-alto.

Por un lado, el filtro paso-bajo se diseña con ayuda de la herramienta web *LC Filters Design Tool* [35]. Los parámetros de entrada se muestran en la Figura 4.21 a) y se han obtenido durante el análisis del apartado 4.2.-. Los valores de bobinas y condensadores del filtro se muestran en la Figura 4.21 b).

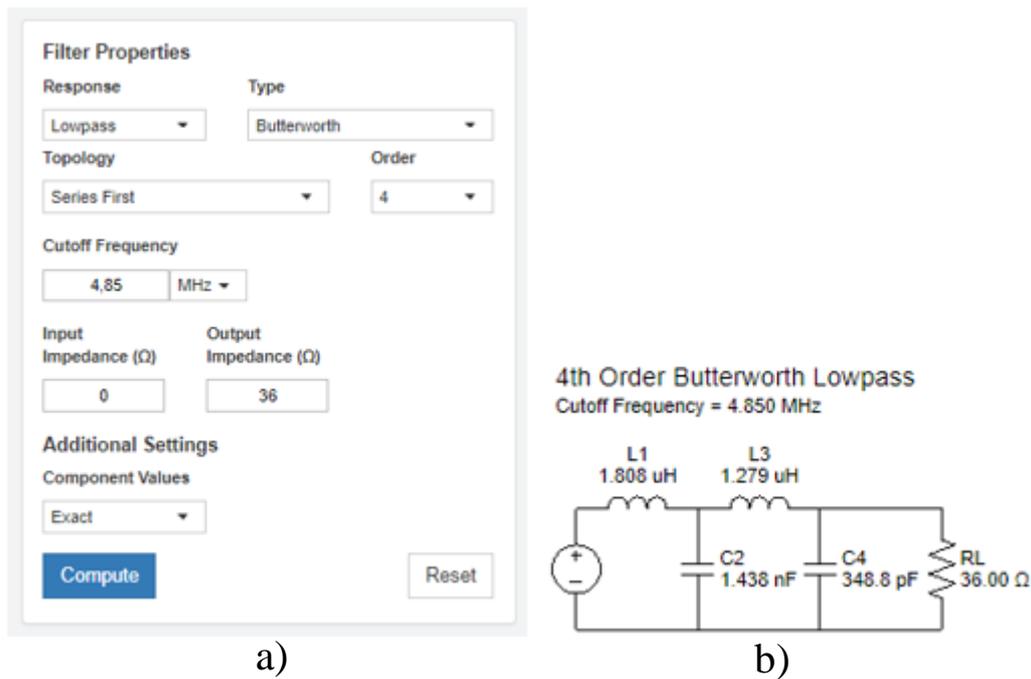


Figura 4.21: Diseño del filtro paso-bajo con *LC Filters Design Tool*. a) Parámetros de entrada. b) Filtro resultante.

Los valores de los elementos reactivos finalmente utilizados se muestran en la Tabla 4.6. Se debe tener en cuenta que L_1 de la Figura 4.21 b) es el equivalente de las dos bobinas L'_1 , cuyo valor es el doble ($3,616 \mu\text{H}$).

Tabla 4.6: Valores de los elementos reactivos utilizados en el filtro paso-bajo del prototipo.

L'_1 [μH]	C_2 [nF]	L_3 [μH]	C_4 [nF]
3,712	1,33	1,312	330

El valor de los condensadores utilizados como filtro paso alto es de $2,2 \mu\text{F}$, que asegura el correcto filtrado de la continua sin afectar a la señal que se quiere transmitir.

La bobina de choque (L_{DC-OUT}) debe bloquear todo BW_{INFO} . Para ello se escoge un valor de $100 \mu\text{H}$.

En la Figura 4.22 se muestra el módulo de la función de transferencia de la combinación de ambos filtros con los valores de elementos reactivos escogidos $|H_{BP}(f)|^2$.

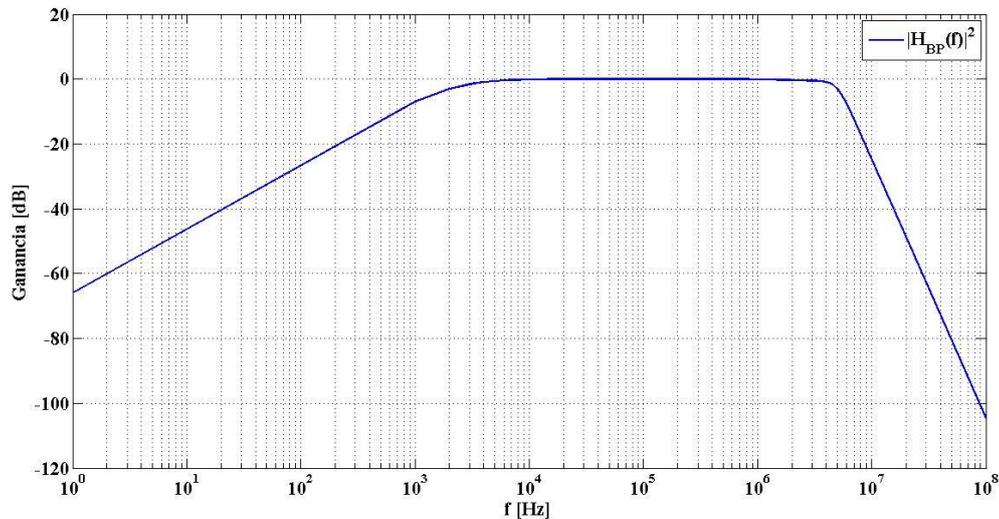


Figura 4.22: Función de transferencia teórica del filtro paso-banda del prototipo.

4.3.3.4.- Etapa de control

En primer lugar, se considera apropiado utilizar un valor $t_{DEAD} = 6 \text{ ns}$, para ello se utilizan $R_{TDn} = 56 \Omega$ y $C_{TDn} = 150 \text{ pF}$. Teniendo en cuenta que v_{TH-DIG} del aislador es 2,5 V, el valor final de t_{DEAD} es 5,82 ns. En la Tabla 4.7 se representa el porcentaje del T_{SW} que suponen ambos valores de t_{DEAD} , para las f_{SW} extremas.

Tabla 4.7: Porcentaje de T_{SW} que representa t_{DEAD} para las f_{SW} extremas.

	$t_{DEAD} = 6 \text{ ns}$	$t_{DEAD} = 5,82 \text{ ns}$
$f_{SW} = 5 \text{ MHz}$	3 %	2,91 %
$f_{SW} = 15 \text{ MHz}$	9 %	8,73 %

Los diodos D_{TDn} utilizados para la descarga rápida de C_{TDn} , son el modelo DB3X313F de Panasonic [22] ya utilizado en el modulador PWM.

El resto componentes elegidos para la etapa de control son:

- Aislador digital: ISO7220M de Texas Instruments [36].
- *Driver* de MOSFETs: EL7156 de Renesas [37].
- SMPC con aislamiento: IL0505S de XP Power [38].

4.3.4.- Resultados Experimentales

A fin de comprobar el correcto funcionamiento del SMPA clase D diseñado se planifican una serie de medidas experimentales:

- Prueba de reproducción de señales: consiste en transmitir $v_{INFO}(t)$ senoidales a diferentes amplitudes y frecuencias, y medir tanto la respuesta en frecuencia como la linealidad del SMPA.



- Prueba de rendimiento: consiste en medir las potencias de entrada y salida del SMPA, para después calcular el rendimiento teniendo en cuenta las P_{GATE} teóricas.
- Prueba de comunicación: consiste en transmitir señales de comunicación con modulaciones complejas que permitan alcanzar tasas de transmisión de datos elevadas. Utilizando un receptor óptico a una distancia determinada y un osciloscopio se evalúa el error en la comunicación para diferentes modulaciones.

Durante la prueba de rendimiento se observa que el rendimiento del prototipo es mucho peor al esperado. Por ello, se decide construir un nuevo prototipo que incluye cambios orientados a obtener rendimientos mayores, que serán explicados en el apartado 4.4.-. Debido a este imprevisto, no se ha podido realizar la prueba de comunicación.

El *setup* de medida se muestra en la Figura 4.23.

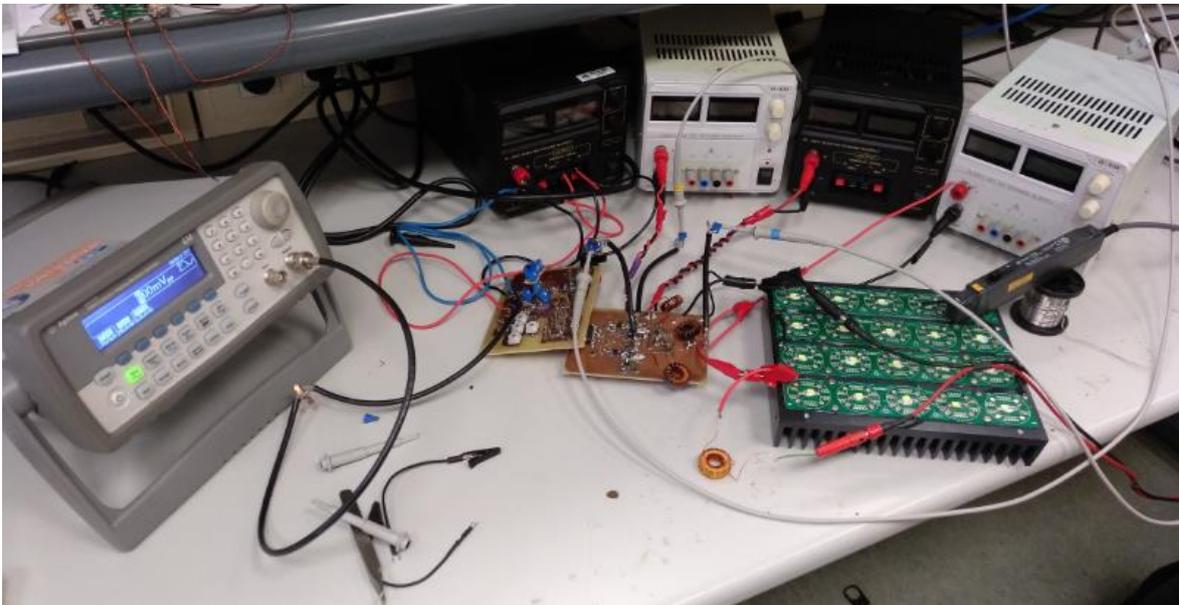


Figura 4.23: Fotografía del *Setup* de medida para las pruebas experimentales.

4.3.4.1.- Prueba de reproducción de señales

En la presente prueba se varía f_{INFO} y A_{INFO} mientras se miden $v_{OUT-AC}(t)$ e $i_{OUT-AC}(t)$. De este modo, se puede obtener la ganancia del SMPA en función de f_{INFO} y A_{INFO} ($G_{SMPA}(f_{INFO}, A_{INFO})$), lo que permite evaluar BW_{INFO} disponible y la linealidad en la respuesta.

Las medidas se realizan para diferentes f_{INFO} (desde 50 kHz hasta 5,5 MHz) y para las siguientes A_{INFO} :

$$A_{INFO}[V] = \{0.12, 0.24, 0.36, 0.48, 0.6\}. \quad (4.6)$$



En la Figura 4.24 se muestra un ejemplo de las medidas que se han realizado. En concreto se muestra $v_{OUT-AC}(t)$ (ver la Figura 4.24 a)), $i_{OUT-AC}(t)$ (ver la Figura 4.24 b)), $v_{SW1}(t)$ y $v_{SW2}(t)$ (ver la Figura 4.24 c)) para $f_{INFO} = 2,5 \text{ MHz}$ y $A_{INFO} = 0,6 \text{ V}$.

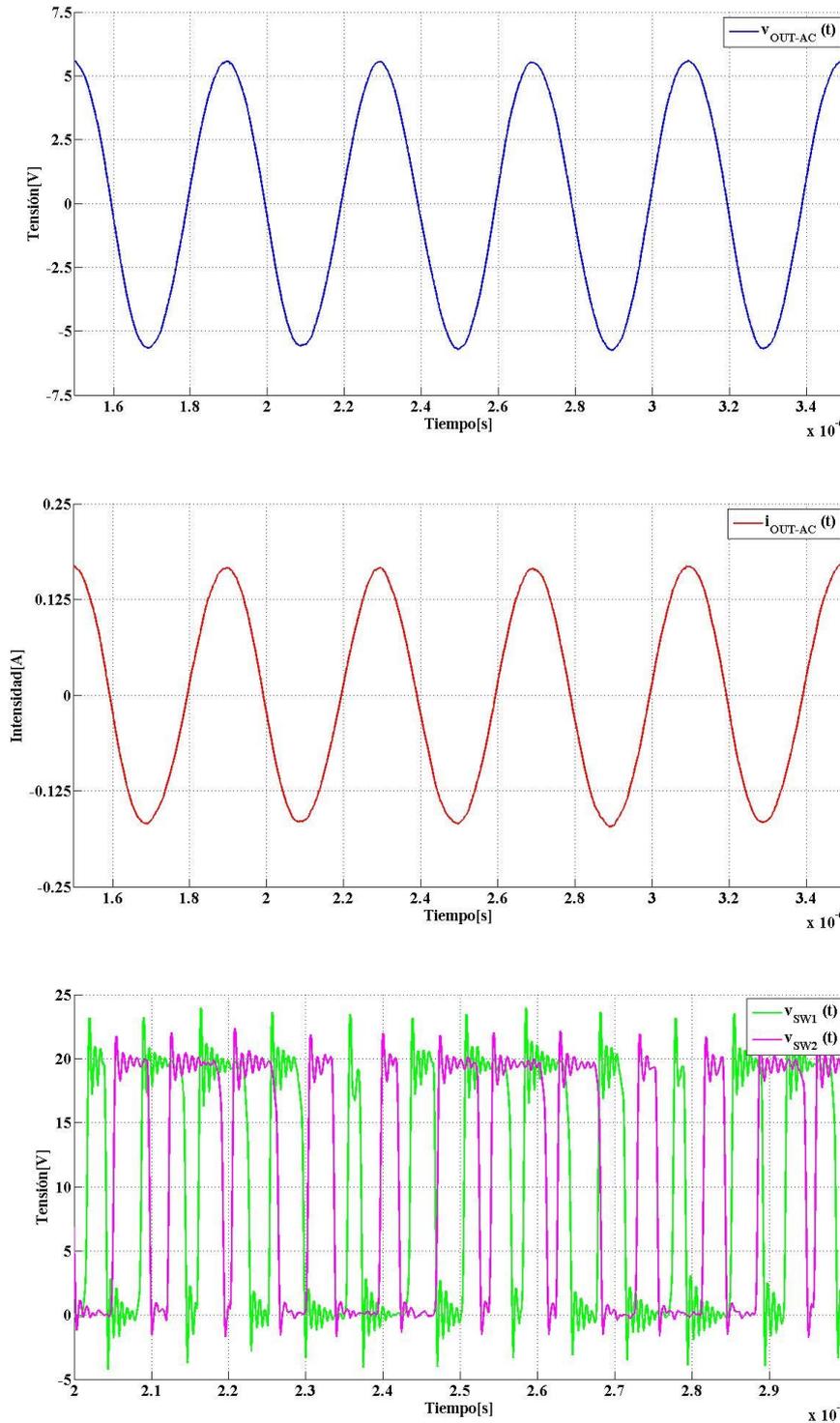


Figura 4.24: Resultados experimentales del SMPA procesando una senoide de $f_{INFO} = 2,5 \text{ MHz}$ y $A_{INFO} = 0,6 \text{ V}$. a) $v_{OUT-AC}(t)$. b) $i_{OUT-AC}(t)$. c) $v_{SW1}(t)$ y $v_{SW2}(t)$.



En la Figura 4.25 se muestra $G_{SMPA}(f)$ para las A_{INFO} de la expresión (4.6) comparada con $|H_{BP}(f)|^2$ (sumándole una ganancia de 20 dB). Se puede observar que, hasta 2 MHz, $G_{SMPA}(f, A_{INFO})$ es prácticamente constante. Por encima de 2 MHz la ganancia comienza a caer, obteniéndose una frecuencia de corte ligeramente inferior a la teórica. Sin embargo, esto se puede deber a un error a la hora de tomar las medidas, ya que en 5,5 MHz se obtiene un valor muy similar al teórico.

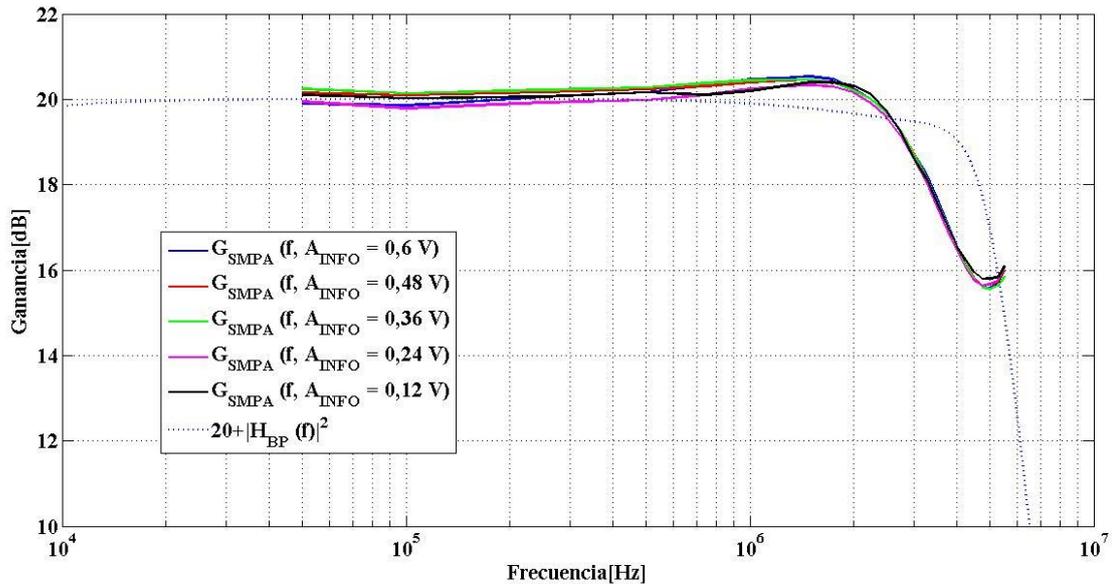


Figura 4.25: Respuesta en frecuencia del SMPA según A_{INFO} .

Teniendo en cuenta estos resultados, se considera que el prototipo cumple el requisito de $BW_{INFO} = [0.1, 3] \text{ MHz}$.

Para determinar la linealidad del SMPA se estudia la evolución de A_{OUT-AC} según se aumenta $A_{INFO-PP}$ (nótese que es amplitud pico a pico, equivale a $2 \cdot A_{INFO}$) para diferentes f_{INFO} (ver la Figura 4.26).

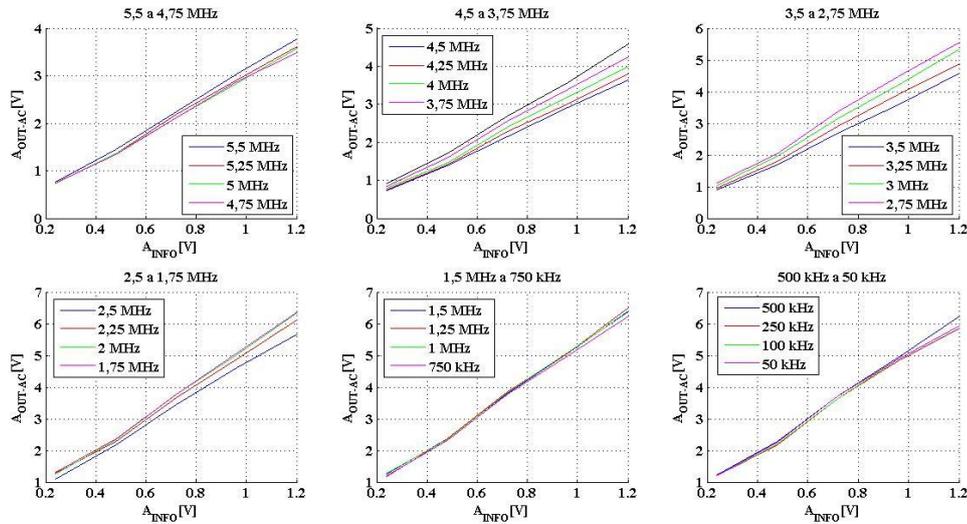


Figura 4.26: Evolución de A_{OUT-AC} según aumenta $A_{INFO-PP}$ para diferentes f_{INFO} .

En la Figura 4.26, se puede observar una evolución muy lineal de A_{OUT-AC} en todas las f_{INFO} analizadas. Atendiendo al valor de A_{OUT-AC} para un mismo $A_{INFO-PP}$ y diferentes f_{INFO} , también se puede apreciar el efecto de la ganancia mostrada en la Figura 4.25.

4.3.4.2.- Prueba de rendimiento

El rendimiento (η_{AC}) se calcula midiendo la potencia extraída de la fuente V_{CC} (P_{CC}) y P_{OUT-AC} . Al medir P_{CC} se están midiendo las P_{COSS} reales. En cambio, la medida real de P_{GATE} es más compleja de obtener. Por tanto, se aplica la expresión (4.7), donde se consideran las P_{GATE} teóricas.

$$\eta_{AC} = \frac{P_{OUT-AC}}{P_{CC} + 4 \cdot P_{GATE}} \quad (4.7)$$

El rendimiento máximo medido ha sido del 27 %, que es mucho menor que el esperado con el MOSFET SSM3K336R (ver la Figura 4.20).

Durante las pruebas se ha podido observar que P_{CC} se compone de unas pérdidas constantes (P_{COSS}) debidas a la generación de $v_{SW1}(t)$ y $v_{SW2}(t)$, que aparecen incluso cuando $P_{OUT} = 0$, y de unas pérdidas dependientes de P_{OUT-AC} muy similares a esta (P_{CONV}). De forma que, si P_{OUT-AC} aumenta 0,1 W, P_{CC} aumenta prácticamente lo mismo. Por tanto, se deduce que, utilizando un mayor número de HB-LEDs para aumentar la P_{OUT-AC} necesaria, se alcanzarán η_{AC} más elevados.

$$P_{CC} = P_{COSS} + P_{CONV}, \quad (4.8)$$

$$P_{CONV} \cong P_{OUT-AC}. \quad (4.9)$$



4.4.- Segundo prototipo

Tras los resultados obtenidos en las pruebas de rendimiento del prototipo, se ha construido un segundo prototipo que ha incorporado cambios orientados a obtener mayor η_{AC} que el anterior. En este prototipo se cambia la carga requisito a fin de procesar mayor P_{OUT-AC} . La carga utilizada se compone de 4 *strings* en paralelo de 9 HB-LEDs XLamp MX-3. Esto hace que los requisitos cambien (ver la Tabla 4.8).

Tabla 4.8: Requisitos de salida del SMPA teniendo en cuenta la nueva carga empleada.

$R_{OUT}[\Omega]$	4,5	$P_{OUT-AC}[\text{W}]$	2,25
$v_{OUT-AC-PP-MAX}[\text{V}]$	9	$P_{OUT-AC-P}[\text{W}]$	4,5
$i_{OUT-AC-PP-MAX}[\text{A}]$	0,5	$BW_{INFO}[\text{MHz}]$	[0,1, 3]

Teniendo en cuenta el rango de $d(t)$ que permite el modulador, se escoge $V_{CC} = 15 \text{ V}$ para alcanzar P_{OUT-AC} máxima.

Debido a la nueva carga utilizada el filtro paso bajo de 4º orden requiere nuevos valores (Tabla 4.9) y el gobierno de los HB-LEDs cambia (Figura 4.27). Los condensadores C_{AC-OUT} y las bobinas L_{DC-OUT} conservan los valores del primer prototipo.

Tabla 4.9: Valores de los elementos reactivos utilizados en el filtro paso-bajo del segundo prototipo.

$L'_1[\text{nH}]$	$C_2[\text{nF}]$	$L_3[\text{nH}]$	$C_4[\text{nF}]$
452	11,5	160	2,8

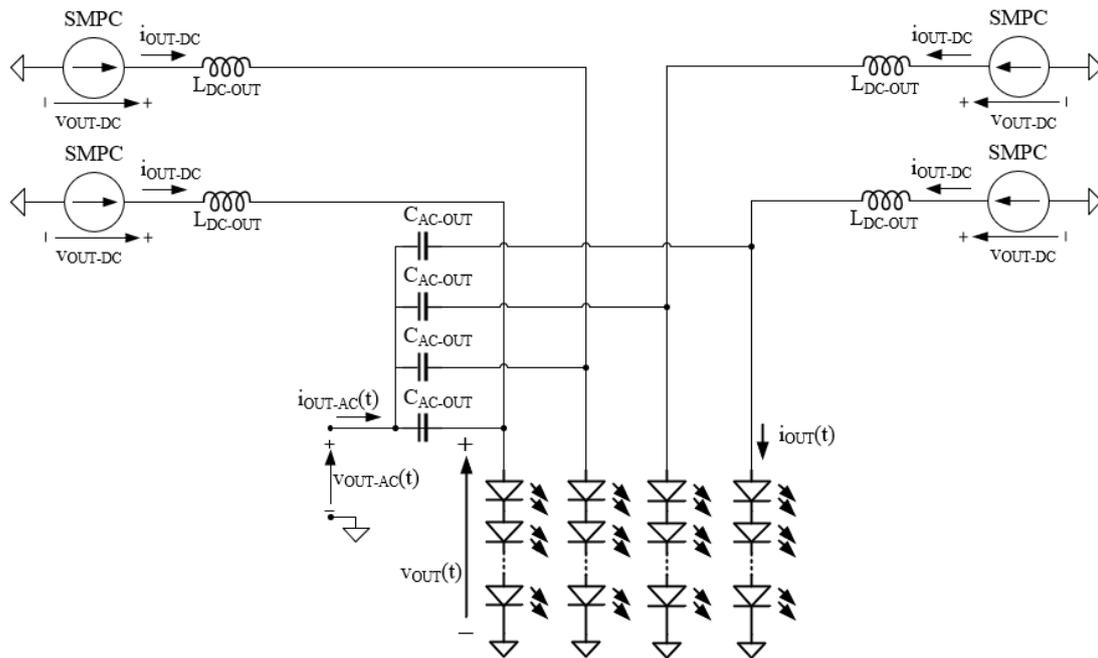


Figura 4.27: Gobierno de los HB-LEDs en su nueva disposición.

En el momento del diseño del nuevo prototipo se encuentra disponible el MOSFET PD85004 y es el que se utiliza debido a sus menores C_{ISS} y C_{OSS} .

En la Figura 4.28 se muestra una fotografía del segundo prototipo con una carga resistiva que simula los HB-LEDs.

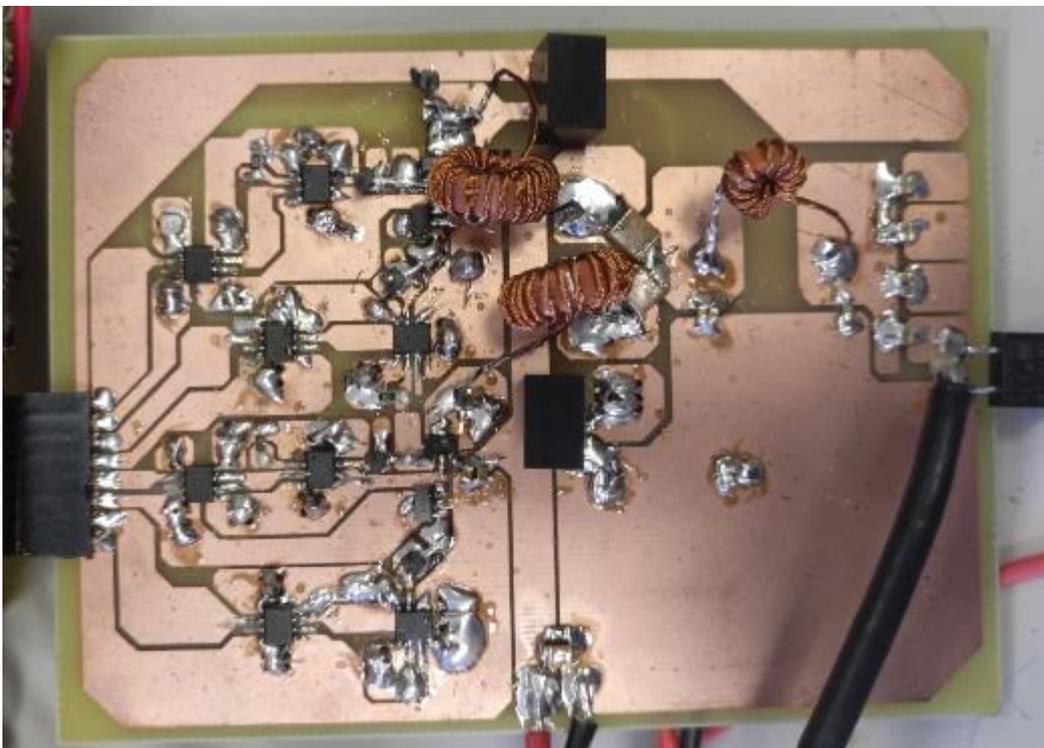


Figura 4.28: Fotografía del segundo prototipo construido.



Sobre el nuevo prototipo se han realizado únicamente pruebas de rendimiento para diferentes potencias, obteniendo los resultados mostrados en la Tabla 4.10. Las medidas se han realizado con $f_{SW} = 8 \text{ MHz}$ a fin de alcanzar mayores rendimientos.

Tabla 4.10: Resultados de la prueba de rendimiento sobre el segundo prototipo.

$4 \cdot P_{GATE} [W]$	$P_{CC} [W]$	$P_{OUT-AC} [W]$	$\eta_{AC} [\%]$
0,0128	1,04	0,29	27
0,0128	1,3	0,51	38
0,0128	1,61	0,76	47
0,0128	1,96	1	51

Los resultados obtenidos son, nuevamente, peores a los esperados. Aunque, el rendimiento máximo alcanzado es superior al del primer prototipo.

4.5.- Análisis de los resultados

En términos de capacidad de comunicación, se ha comprobado que el SMPA clase D PWM diseñado es capaz de aprovechar todo el ancho de banda de los HB-LEDs, al mismo tiempo que consigue una relación lineal entre la entrada y la salida.

Sin embargo, el rendimiento energético obtenido es mucho menor al esperado. Esto se debe a que, a la f_{SW} empleada, es complicado encontrar MOSFETs con buenas características de conmutación y que permitan procesar la potencia requerida.

En contraposición, la potencia del SMPA no alcanzaba cotas suficientes como para minimizar el efecto de las pérdidas en los MOSFETs sobre el rendimiento. Es decir, aumentando la potencia del SMPA, en teoría, se obtendrían rendimientos mayores. Pero llega un punto en el cual habría que utilizar MOSFETs de más potencia que, generalmente, tendrán peores características de conmutación. Por tanto, se tendría que reducir f_{SW} para contener las pérdidas, limitando el ancho de banda disponible.

En conclusión, como ya se había comentado en el apartado 2.1.3.-, existe un compromiso entre el ancho de banda y el rendimiento del SMPA clase D PWM, siendo clave la elección de los MOSFETs (u otro tipo de interruptor activo) a la hora de alcanzar las mejores prestaciones.



5.- CONCLUSIONES, TRABAJOS FUTUROS Y LISTA DE TAREAS

5.1.- Conclusiones

Las conclusiones extraídas a lo largo del trabajo se detallan a continuación.

- Para la mejora del rendimiento en los *drivers* de VLC es recomendable recurrir a topologías que procesen la potencia de comunicación con rendimientos aceptables, mientras que la potencia de iluminación se procesa de forma separada a baja frecuencia con un rendimiento muy elevado.
- Los SMPAs son interesantes como elemento para procesar la potencia de comunicación, ya que teóricamente no tienen pérdidas. Mientras que en los LPAs las pérdidas aparecen ya en el modelo teórico. Por tanto, los LPAs tienen un límite de rendimiento, mientras que los SMPAs no.
- Las topologías multifase combinadas con los filtros de alto orden consiguen una atenuación de los armónicos de conmutación muy elevada de forma que, a la salida las componentes de conmutación se pueden considerar despreciables.
- Se ha comprobado experimentalmente que la PWM analógica es más recomendable para operar a altas frecuencias con gran resolución mientras que la modulación digital es más sencilla de diseñar, por lo que sería más recomendable en aplicaciones donde la resolución no es crítica.
- El prototipo no alcanza rendimientos aceptables, lo cual se debe principalmente a los MOSFETs utilizados.
- El segundo prototipo consigue alcanzar rendimientos ligeramente más altos, pero siguen sin considerarse aceptables.
- Se ha comprobado la existencia del compromiso entre ancho de banda y rendimiento en la topología planteada. En este caso se lograron cumplir los requisitos de ancho de banda, pero con un mal rendimiento.

5.2.- Trabajos Futuros

A fin de continuar con la línea de investigación se proponen los siguientes trabajos futuros:

- Buscar otro tipo de interruptores activos que permitan alcanzar rendimientos más altos manteniendo la topología.
- Realizar conmutaciones a tensión cero (ZVS, siglas de *Zero Voltage Switching*) para minimizar las pérdidas de los MOSFETs y así mejorar el rendimiento.
- Reducir la frecuencia de conmutación y aumentar la potencia de salida para que las pérdidas de los MOSFETs afecten menos al rendimiento.



- Realizar pruebas de comunicación con el SMPA clase D PWM empleando modulaciones complejas y evaluando el error obtenido. Esto permite obtener la tasa de transmisión de datos máxima del SMPA. Se puede realizar la misma prueba utilizando un modulador PWM digital de resolución conocida en lugar del modulador PWM analógico y comparar los resultados.

5.3.- Lista de Tareas

A continuación, se enumeran en orden similar al cronológico las tareas que se han realizado en el presente trabajo:

1. Estudios previos sobre VLC.
2. Análisis de los requisitos del *driver*.
3. Estudio de las diferentes topologías.
4. Elección de la topología basada en SMPA clase D PWM bifase con filtro de 4ºorden.
5. Estudio de PWM.
6. Simulación del modulador digital en MATLAB.
7. Búsqueda de controladores PWM comerciales.
8. Diseño del circuito modulador PWM analógico.
9. Selección de componentes para el prototipo de modulador PWM analógico.
10. Fabricación y montaje del prototipo de modulador PWM analógico.
11. Pruebas sobre el prototipo de modulador PWM analógico.
12. Comparativa de moduladores PWM.
13. Diseño del circuito SMPA clase D PWM bifase con filtro de 4ºorden.
14. Selección de componentes para el prototipo SMPA.
15. Fabricación y montaje del prototipo SMPA.
16. Prueba de reproducción de señales sobre el prototipo SMPA.
17. Prueba de rendimiento sobre el prototipo SMPA.
18. Análisis de los resultados de las pruebas sobre el prototipo SMPA.
19. Diseño del segundo prototipo SMPA.
20. Fabricación y montaje del segundo prototipo SMPA.
21. Prueba de rendimiento sobre el segundo prototipo SMPA.
22. Análisis de los resultados de las pruebas sobre el segundo prototipo SMPA.
23. Redacción de la memoria.



6.- REFERENCIAS

- [1] Cisco Systems, “Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2017-2022”, Feb. 2019. [Online]. Available: <http://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/mobile-white-paper-c11-520862.html>
- [2] M. Kleeman, "Point of View: Wireless Point of Disconnect", 2011, Global Info. Industry Center.
- [3] GBI Research, Visible Light Communication (VLC)-A Potential Solution to the Global Wireless Spectrum Shortage, Sep. 2011 [Online]. Available: <http://www.gbiresearch.com>
- [4] L. Atzori, A. Iera, and G. Morabito, “The internet of things: A survey”, Comput. Netw., vol. 54, no. 15, pp. 2787–2805, 2010.
- [5] H. Elgala, R. Mesleh, and H. Haas, “Indoor optical wireless communication: potential and state-of-the-art”, IEEE Commun. Mag., vol. 49, no. 9, pp. 56–62, Sep. 2011.
- [6] D. R. Kim, S. H. Yang, H. S. Kim, Y. H. Son and S. K. Han, “Outdoor visible light communication for intervehicle communication using controller area network”, Fourth International Conference on Communications and Electronics (ICCE), Hue, 2012, pp. 31-34.
- [7] N. Farr, A. Bowen, J. Ware, C. Pontbriand, and M. Tivey, “An integrated, underwater optical /acoustic communications system”, OCEANS 2010 IEEE - Sydney, Sydney, NSW, 2010, pp. 1-6.
- [8] J. Grubor, S. C. J. Lee, K. D. Langer, T. Koonen and J. W. Walewski, “Wireless high-speed data transmission with phosphorescent white-light LEDs”, 33rd European Conference and Exhibition of Optical Communication - Post-Deadline Papers (published 2008), Berlin, Germany, 2007, pp. 1-2.
- [9] R. W. Erickson, D. Maksimović, *Fundamentals of Power Electronics*. Boulder, CO: Kluwer Academic Publishers, 2004.
- [10] J. Sebastián, P. F. Miaja, F. J. Ortega, M. Patiño and M. Rodríguez, “Design of a Two-Phase Buck Converter With Fourth-Order Output Filter for Envelope Amplifiers of Limited Bandwidth”, IEEE Transactions on Power Electronics, vol. 29, no. 11, Nov. 2014.
- [11] J. Sebastián, D. G. Aller, J. Rodríguez, D. G. Lamar and P. F. Miaja, “On the role of the power electronics on visible light communication”, IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, FL, 2017, pp. 2420-2427.
- [12] J. Rodriguez, D. G. Aller, D. G. Lamar, and J. Sebastian, “Energy efficient visible light communication transmitter based on the split of the power”, IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, 2017.



- [13] J. Rodríguez, “Convertidores conmutados de potencia para transmisores de comunicación por luz visible”, Tesis doctoral, Diciembre 2018.
- [14] Texas Instruments, “*MOSFET power losses and how they affect power-supply efficiency*”, 2016. [Online]. Available: <http://www.ti.com/lit/an/slyt664/slyt664.pdf>
- [15] Fairchild Semiconductor, “*Synchronous Buck MOSFET los calculations with Excel model*”, AN-6005, 2014.
- [16] J. E. Brittain, “*Thevenin’s theorem*”, IEEE Spectrum, vol. 27, n. 3, p. 42, March 1990.
- [17] R. Schaumann, M. E. Van Valkenburg, *Design of Analog Filters*. New York, NY: Oxford University Press, 2001.
- [18] A. Komijani, A. Hajimiri, “*A wideband 77-GHz, 17.5-dBm fully integrated power amplifier in silicon*”, IEEE J. Solid-State Circuits, vol. 40, no. 10, pp. 1749-1756, Aug. 2006.
- [19] S. C. Cripps, *RF power amplifiers for Wireless communications*. Norwood, MA: Artech House, 2006.
- [20] M. Albullet, *RF power amplifiers*. Atlanta, GA: Noble Publishing Corporation, 2001.
- [21] *SN74LVC2G14 Datasheet*. Informe técnico, Texas Instruments 2015.
- [22] *DB3X313F Datasheet*. Informe técnico, Panasonic 2013.
- [23] *THS3091 Datasheet*. Informe técnico, Texas Instruments 2015.
- [24] *TLV3501 Datasheet*. Informe técnico, Texas Instruments 2016.
- [25] *DS1100-20 Datasheet*. Informe técnico, Maxim Integrated 2011.
- [26] *PT65-121 Datasheet*. Informe técnico, APEM 2019.
- [27] *SN74LVC1G00 Datasheet*. Informe técnico, Texas Instruments 2014.
- [28] *SN74LVC1G08 Datasheet*. Informe técnico, Texas Instruments 2014.
- [29] *XLamp MX-3 Datasheet*. Informe técnico, Cree 2017.
- [30] P. Cheng, M. Vasić, O. García, J. A. Oliver, P. Alou, J. A. Cobos, “*Minimum time control for multiphase buck converter: analysis and application*”, IEEE Transactions on power electronics, vol. 29, no. 2, pp. 958-967, Feb. 2014.
- [31] A. Lidow, “*How to GaN: eGaN FETs in High Frequency Buck Converters*”. EEWeb, Aug. 2013. [Online]. Available: <https://www.eeweb.com/profile/alex-lidow/articles/how-to-gan-egan-fets-in-high-frequency-buck-converters>
- [32] *SSM3K336R Datasheet*. Informe técnico, Toshiba 2014.
- [33] *AFT05MS003N Datasheet*. Informe técnico, Freescale Semiconductor 2015.
- [34] *PD85004 Datasheet*. Informe técnico, ST 2008.
- [35] RF Tools, LC Filters Design Tool, [Online]. Available: <https://rf-tools.com/lc-filter/>
- [36] *ISO7220M Datasheet*. Informe técnico, Texas Instruments 2006.
- [37] *EL7156 Datasheet*. Informe técnico, Renesas 2015.
- [38] *IL0505S Datasheet*. Informe técnico, XP Power 2014.