

Análisis y diseño de un limitador de corriente de enclavamiento conmutado

Abraham López¹, Manuel Arias¹, Pablo F. Miaja¹, M. Fernández-Costales¹, Javier Prado¹ y Arturo Fernández²

¹Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (e-mail: lopezabraham@uniovi.es)

Edificio Departamental Oeste, N.º 3. Campus Universitario de Viesques. 33204 Gijón, España

²Electrical Power Management Section, European Space Agency (ESA), Noordwijk, Países Bajos

Resumen: Los limitadores de corriente de enclavamiento (LCLs) son circuitos empleados en la protección contra sobrecorrientes de las cargas conectadas a los satélites. De esta forma, se encargan de limitar la máxima corriente producida durante una sobrecarga durante un determinado período de tiempo prefijado. Si durante este período de tiempo persiste la sobrecorriente, el LCL desconecta la carga del bus de potencia principal. El elemento crítico en el funcionamiento del LCL es el dispositivo semiconductor encargado de la limitación de la corriente. Las topologías tradicionales de LCLs emplean dispositivos de canal P debido sobre todo a su facilidad a la hora de controlarlos. Existen trabajos en los que aprovechando el desarrollo de nuevos materiales de banda prohibida ancha (WBG), ya plantean la posibilidad de emplear MOSFETs de canal N de SiC como dispositivos limitadores de corriente. En este caso, durante la etapa de sobrecorriente el dispositivo N-MOS funcionará en modo activo limitando el valor de la corriente al de referencia. En este momento, el MOSFET estará soportando toda la tensión de bus y disipando una gran cantidad de potencia. Siguiendo con esta línea, este artículo presenta el diseño de una arquitectura de LCL basada en N-MOS de SiC, trabajando en conmutación durante la etapa de limitación de corriente. De esta forma, se consigue reducir el estrés térmico del dispositivo limitador de corriente ante una sobrecarga. Se muestran los diseños para la selección e implementación de la topología en relación con los componentes magnéticos y, finalmente, se muestran resultados experimentales de un prototipo de LCL conmutado basado en la topología planteada.

Palabras clave: LCL, satélites, dispositivos WBG.

I. INTRODUCCIÓN

La distribución de potencia empleando los llamados limitadores de corriente de enclavamiento (“*Latching Current Limiters*”, LCLs) se ha venido utilizando frecuentemente en los satélites europeos para la conexión y desconexión controlada de las cargas conectadas al bus de potencia de los satélites de forma fiable. Los LCLs se encargan de limitar el valor de la corriente demanda por una de estas cargas a un valor prefijado, en caso de sobrecorrientes o cortocircuitos, protegiendo de esta forma al bus de potencia. La Fig. 1 muestra el esquema del bus de potencia regulado en satélites, donde se puede ver cómo los LCLs están localizados en el sistema de distribución, justo entre el bus de potencia principal y sistema secundario donde estarían las distintas cargas del satélite. El diseño de este tipo de circuitos está determinado por las guías de diseño ECSS definidas en [1]-[3]. La Fig. 2 muestra la estructura tradicional de un LCL basado en un dispositivo P-MOS como limitador de corriente, conectado en serie con la carga. De esta forma, si la corriente a través del P-MOS es menor que un valor de referencia (corriente de limitación), el P-MOS estará conduciendo, permitiendo la circulación de la corriente demandada por la carga. Sin embargo, si la corriente a través del P-MOS es mayor que el límite de corriente preestablecido, este MOSFET operará en

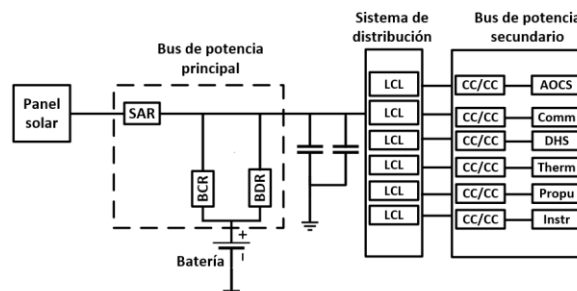


Fig. 1. Esquema del bus de potencia regulado de un satélite donde se muestra la localización de los LCLs dentro del sistema de distribución

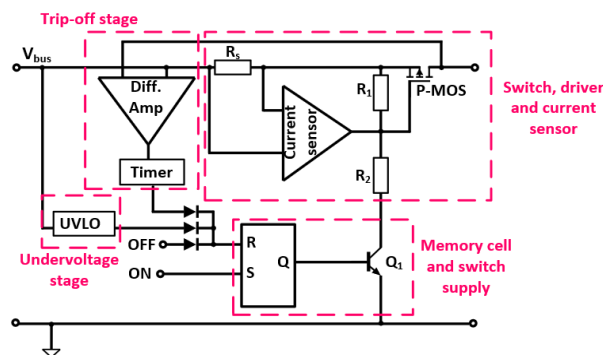


Fig. 2. Arquitectura tradicional de un LCL basado en P-MOS como dispositivo limitador de la corriente

zona lineal, comportándose como una fuente de corriente, limitando el valor de la corriente demanda al valor de la referencia. En este punto, el P-MOS estará soportando todo el nivel de la tensión de bus. De esta forma, el MOSFET estará disipando un nivel de potencia significativo y, por lo tanto, su temperatura se incrementará rápidamente. Obviamente, esta situación no se puede mantener por tiempo indefinido, por lo que cuando el MOSFET entra en zona lineal se inicia una etapa de temporización. De esta forma, si la corriente medida por el LCL se mantiene por encima del valor de referencia después de un tiempo prefijado (tiempo de *trip-off*), el LCL desconectará la carga del bus de potencia. Esta carga se puede volver a reconectar más tarde mediante telecomando.

De acuerdo con [1], los LCLs están definidos en clases, para tensiones de bus (V_{bus}) de 28 V y 50 V, de acuerdo con la máxima corriente que pueden limitar (Tabla 3.1 en [1]). La principal razón por la que no se considera la clasificación de los LCLs para mayores tensiones de bus (100 V- 120 V), se debe sobre todo a la dificultad a la hora de encontrar MOSFETs de canal P calificados para espacio capaces de soportar estos rangos de tensiones con valores razonables de resistencias de canal (R_{DS}), sin llegar a suponer un gran incremento en las pérdidas en conducción.

Con el objetivo de solventar este problema y de mejorar el rendimiento de los LCLs, la idea pasa por reemplazar los MOSFETs de canal P por MOSFETs de canal N (N-MOS), los cuales, para la misma tensión presentan valores de R_{DS} menores. En esta nueva arquitectura basada en N-MOS, el drenador estará conectado del lado de la tensión de bus, mientras que el terminal de fuente estará conectado del lado de la carga. Esto fuerza a un rediseño completo de la arquitectura. Siguiendo con esta línea, y aprovechando las ventajas que ofrecen los materiales de banda prohibida ancha (WBG) como son el carburo de silicio (SiC) y el nitruro de galio (GaN), en relación con la posibilidad de trabajar a mayores tensiones y, presumiblemente, a mayores temperaturas, ya se han presentado trabajos [4]-[7], donde se muestran arquitecturas completas de LCLs basados en N-MOS de SiC como dispositivos limitadores de corriente. En estos trabajos ya se presentan soluciones para llevar la señal de control de manera aislada a los terminales puerta-fuente del N-MOS y se presentan resultados para tensiones de bus de 100 V – 120 V.

Estos trabajos presentados parten del uso clásico del dispositivo limitador de corriente trabajando en modo lineal durante el tiempo de limitación, soportando el nivel de tensión de bus, y disipando un nivel considerable de potencia. De esta forma, el objetivo de este trabajo se basa en presentar una topología de LCL en la que, durante el período de limitación de corriente, el dispositivo N-MOS trabaje en conmutación, con el objetivo de reducir el estrés térmico del componente [8].

Este artículo se organiza de la siguiente manera. En el apartado II se describe el funcionamiento de la topología seleccionada como LCL haciendo hincapié en la obtención del valor de la inductancia y en el diseño térmico de la misma. En el apartado III se presentan resultados experimentales en relación con la arquitectura de LCL conmutado presentada en este trabajo. Finalmente, en el apartado IV se recogen las principales conclusiones de este trabajo.

II. FUNDAMENTO Y TOPOLOGÍA SELECCIONADA

A través de la Fig. 3 y la Fig. 4 se puede comparar el comportamiento de la corriente entre el LCL lineal y el LCL conmutado. Durante el tiempo de limitación de corriente el N-MOS estará trabajando entre corte y saturación, reduciendo su estrés térmico en comparación con el funcionamiento como fuente de corriente en el caso del LCL lineal, donde se disipa, durante el tiempo de *trip-off*, una potencia proporcional al nivel de V_{bus} y al valor de la corriente limitada (I_{lim}). La topología seleccionada para la implementación del LCL conmutado será la encargada de hacer que, ante una sobrecorriente, el valor de la corriente limitada oscile entre los niveles máximos y mínimos de corriente definidos para cada clase de LCL (banda de histéresis). Así pues, por ejemplo, para un LCL clase 10 estos valores de corriente serían de 11 A y 14 A respectivamente.

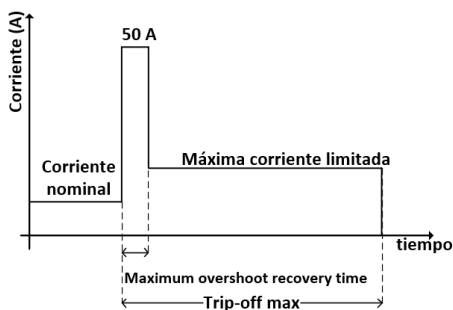


Fig. 3. Perfil de corriente en el LCL lineal ante cortocircuito

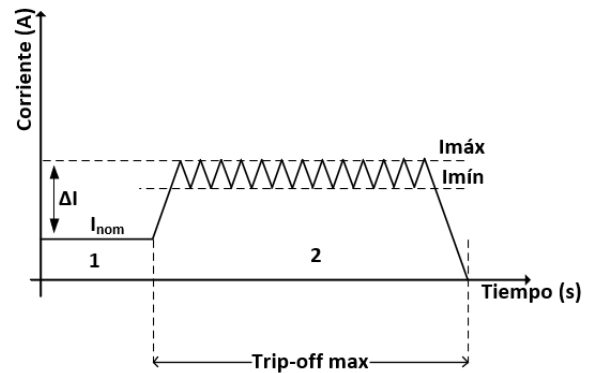


Fig. 4. Perfil de corriente en el LCL conmutado ante cortocircuito

Para la implementación de la topología conmutada se ha optado por utilizar un convertidor reductor, empleando un control por histéresis de la corriente medida. La Fig. 5 muestra, de manera esquemática, la implementación propuesta. Como se puede ver, para la medida de la corriente se emplea una resistencia (R_s), un seguidor de tensión y un amplificador inversor. La salida de dicho amplificador (I_{comp}) estará ligada con los comparadores que controlan las entradas de RESET (R) y SET (S) de un biestable. Estos comparadores, en la práctica, trabajan en una banda de histéresis menor a la definida por los valores de corriente máximo ($I_{máx}$) y mínimo ($I_{mín}$) establecidos para cada clase. De esta forma, si el nivel de corriente I_{comp} es menor que el nivel de corriente mínimo ($I_{mín}$), se activaría la señal de SET del biestable haciendo que su salida (Q) esté a nivel alto. Esta salida a nivel alto hará que el nivel de tensión puerta-fuente del N-MOS esté a nivel alto, haciendo que dicho dispositivo permanezca cerrado. En este caso, el LCL estaría trabajando en su modo nominal, conduciendo la corriente de clase (I_{nom}) y manteniéndose el N-MOS trabajando en modo óhmico.

Si por el contrario se produce una sobrecorriente, modelada como un cortocircuito (R_{sc}) en paralelo con la carga R_L (Fig. 5), el valor de la corriente medida en la bobina será cada vez mayor, haciendo que el correspondiente valor de corriente I_{comp} se incremente de la misma manera. En este caso cuando la corriente I_{comp} sea mayor que el valor $I_{máx}$, establecido para cada clase, se activará la entrada RESET del biestable haciendo que su salida, Q, pase a nivel bajo. Con la puesta a nivel bajo de la señal Q, el N-MOS trabajaría en corte haciendo que la corriente I_{medida} empiece a disminuir su valor. De esta forma, cuando la corriente I_{comp} sea menor que el valor mínimo de corriente ($I_{mín}$), se activaría de nuevo la señal de SET del biestable haciendo que, el N-MOS trabaje en saturación. Este proceso de conmutación del N-MOS se prolongará en el tiempo hasta que la sección de temporización ponga a cero la entrada de la puerta AND, conectada a la salida del biestable, haciendo que el N-MOS permanezca en corte y la I_{medida} pase a valor cero. Los tiempos de *trip-off* durante los cuales se produce el comportamiento de conmutación del N-MOS también están determinados para las distintas clases de LCLs existentes, siendo, por ejemplo, de 1,5 ms para el caso de un LCL clase 10.

Como se puede ver en la Fig. 5, toda la circuitería empleada en el control del funcionamiento del LCL está alimentada a través de una fuente externa (V_{CC}) referida a la llamada "masa de control (Ref control)" situada en el nodo de conmutación del convertidor reductor. De esta manera se cumple con las máximas tensiones de alimentación permitidas por la circuitería empleada.

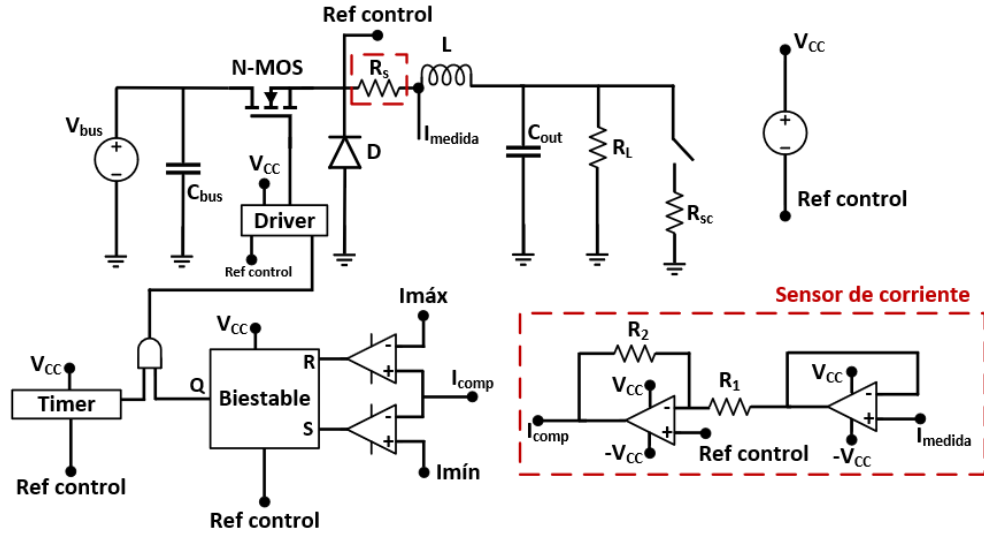


Fig. 5. Arquitectura propuesta para la implementación del LCL conmutado basado en dispositivo N-MOS

La Fig. 6 muestra una simulación del funcionamiento del LCL conmutado descrito en la Fig. 5. En este caso se trata de un funcionamiento para un LCL clase 10 en el que la I_{nom} es de 10 A, estableciendo como bandas de histéresis los valores máximo y mínimo de limitación de corriente para dicha clase. Así pues, en este caso $I_{máx}$ será igual a 14 A, mientras que $I_{mín}$ será igual a 11 A. La V_{bus} se ha fijado en 100 V. La Fig. 6 muestra al LCL, en primer lugar, funcionando en su zona nominal, mientras que cuando se produce la sobrecorriente, el LCL limitará el valor de la corriente a través de la conmutación del dispositivo N-MOS. De esta manera, la corriente medida estará oscilando entre los valores definidos dentro de la franja de histéresis (Fig. 7). Como se puede comprobar, el LCL se apaga transcurrido el tiempo de *trip-off* fijado.

A) Obtención del valor mínimo de la inductancia (L) en la topología reductora:

Considerando el funcionamiento descrito en la Fig. 7, es posible llegar a obtener una expresión del valor mínimo de la

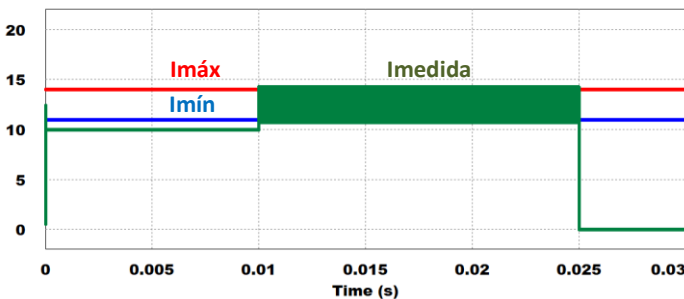


Fig. 6. Funcionamiento en simulación del LCL conmutado

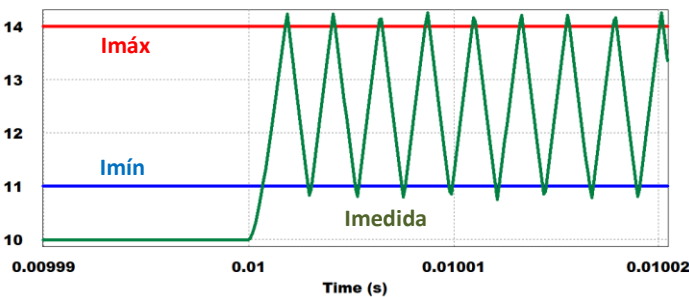


Fig. 7. Detalle de la corriente medida en el LCL dentro de la banda de histéresis definida

inductancia 'L' en el convertidor reductor, compatible con el funcionamiento conmutado del LCL. En el momento en el que se produce una sobrecorriente, el valor de la carga visto por el LCL (R_{fallo}) será el descrito por la expresión (1). De la misma manera, de acuerdo con los distintos niveles de corrientes nominales y corrientes máximas definidas para cada clase de LCL en [1], es posible relacionar el valor de la corriente nominal con el máximo nivel de corriente que el LCL podría limitar en cada clase. De esta forma, considerando el nivel de V_{bus} es posible definir un valor crítico de resistencia de carga ($R_{crítica}$) para cada clase de LCL. Para un LCL clase 10, el valor de la $R_{crítica}$, en función del nivel de la V_{bus} , es el descrito en la expresión (2).

$$R_{fallo} = \frac{R_L \cdot R_{sc}}{R_L + R_{sc}} \quad (1)$$

$$R_{crítica} = \frac{V_{bus}}{I_{máx}} = \frac{V_{bus}}{1,4 \cdot I_{nom}} \quad (2)$$

De esta forma, si el valor de R_{fallo} es mayor que el valor de $R_{crítica}$, la corriente medida en el LCL no llega a alcanzar el valor de $I_{máx}$, y por lo tanto no se produce el proceso de conmutación. Esta situación es la descrita a través de la simulación mostrada en la Fig. 8. Si, por el contrario, el valor de R_{fallo} es menor o igual que el valor impuesto por $R_{crítica}$, sí que se llegaría a producir el proceso de conmutación buscado en el LCL.

El objetivo, por tanto, es el de encontrar una expresión que permita relacionar el valor de la frecuencia de conmutación (F_{sw}) con el valor de la R_{fallo} . De esta manera, sería posible el poder llegar a fijar un valor mínimo de la inductancia (L) del convertidor reductor.

Para obtener una expresión que relacione el valor de la F_{sw} con el valor de R_{fallo} , basta con analizar el proceso de funcionamiento del dispositivo N-MOS en el convertidor reductor. Durante el encendido del N-MOS, durante el proceso de conmutación, la tensión con la que se estará magnetizando la bobina (V_L), sigue la expresión descrita en (3). De esta forma, se puede obtener la expresión del tiempo que dura la magnetización de la bobina (t_{on}), descrito en (4).

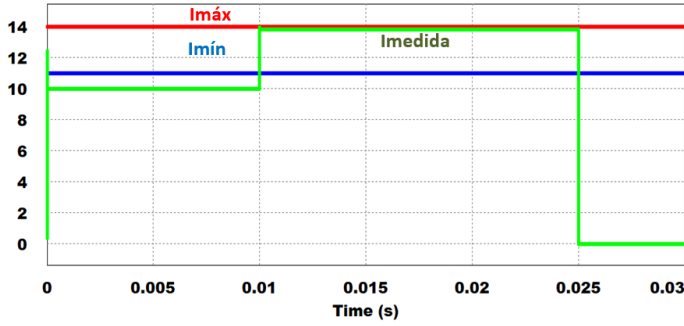


Fig. 8. Funcionamiento del LCL cuando R_{fallo} es mayor que $R_{crítica}$

$$V_L = V_{in} - V_o = L \cdot \frac{di(t)}{dt} \quad (3)$$

$$t_{on} = \frac{L \cdot \Delta i}{V_{in} - V_o} = \frac{L \cdot \Delta i}{V_{in} - (R_{fallo} \cdot I_{avg})} \quad (4)$$

Donde V_{in} es el valor de la V_{bus} , V_o será el valor de la tensión de salida del LCL, I_{avg} es el valor medio de la corriente por R_{fallo} y Δi será el incremento de corriente entre $I_{máx}$ e $I_{mín}$.

De la misma manera, considerando el proceso de apagado del dispositivo N-MOS, se puede obtener el valor de la tensión con la que se desmagnetiza la bobina (5), así como también una expresión del tiempo (t_{off}) que dura dicho proceso en función del valor R_{fallo} (6).

$$V_L = -V_o = L \cdot \frac{di(t)}{dt} \quad (5)$$

$$t_{off} = \frac{-L \cdot \Delta i}{V_o} = \frac{-L \cdot \Delta i}{(R_{fallo} \cdot I_{avg})} \quad (6)$$

Finalmente, se puede obtener una expresión del período de conmutación (T_{sw}) en función de R_{fallo} (7) sin más que considerar los valores t_{on} y t_{off} .

$$T_{sw}(R_{fallo}) = t_{on} + t_{off} = \frac{L \cdot \Delta i}{V_{in} - (R_{fallo} \cdot I_{avg})} + \frac{L \cdot \Delta i}{(R_{fallo} \cdot I_{avg})} \quad (7)$$

Con el objetivo de encontrar un valor mínimo del parámetro R_{fallo} (8) basta con derivar respecto a R_{fallo} e igualar a cero la expresión (7). De esta forma, a partir de un valor mínimo de R_{fallo} se podrá obtener un valor mínimo del período de conmutación del dispositivo N-MOS (9).

$$R_{fallo \text{ mín}} = \frac{V_{in}}{2 \cdot I_{avg}} \quad (8)$$

$$T_{sw \text{ mín}} = T_{sw}(R_{fallo \text{ mín}}) = \frac{4 \cdot \Delta i \cdot L}{V_{in}} \quad (9)$$

Conocido el valor del $T_{sw \text{ mín}}$ a partir de la expresión (9), se puede obtener el valor de la $F_{sw \text{ máx}}$ (10) a la que podría conmutar el dispositivo N-MOS para un determinado valor de inductancia (L), un valor de tensión de bus ($V_{in} = V_{bus}$), y para la banda de histéresis de corriente (Δi) definida a partir de la clase de LCL con la que se esté trabajando.

$$F_{sw \text{ máx}} = \frac{V_{in}}{4 \cdot \Delta i \cdot L} \quad (10)$$

De la misma manera, fijando el valor de la frecuencia máxima de conmutación del dispositivo N-MOS, se puede obtener el valor mínimo de la inductancia necesaria en el convertidor reductor (11).

$$L_{mín} = \frac{V_{in}}{4 \cdot \Delta i \cdot F_{sw \text{ máx}}} \quad (11)$$

A modo de ejemplo, considerando una V_{bus} de 120 V, una frecuencia de operación máxima de 500 kHz y un LCL clase 10 ($I_{nom} = 10$ A, $I_{máx} = 14$ A e $I_{mín} = 11$ A), el valor de $R_{crítica}$ será de 8,57 Ω , el valor de $R_{fallo \text{ mín}}$ será de 4,8 Ω y el valor mínimo de inductancia necesario ($L_{mín}$) será de 20 μH .

B) Diseño térmico del valor de la inductancia (L) del convertidor reductor:

El diseño térmico de la bobina presente en la topología del LCL conmutado se ha llevado a cabo considerando las dos zonas de operación en las que puede estar trabajando el LCL (Fig. 4). En primer lugar, se ha considerado el cálculo de las pérdidas en el cobre (P_{Cu}) y las pérdidas en el núcleo (P_{core}) de la bobina para ambas zonas de trabajo. En el caso en el que el LCL esté trabajando en su zona nominal (zona 1 en Fig. 4), las pérdidas en la bobina serán las debidas únicamente a las P_{Cu} ya que, al ser la variación en la componente de alterna de alta frecuencia de la corriente cercana a cero en esta zona, las P_{core} serán cero.

Por otro lado, en el caso en el que el LCL esté trabajando en la zona de conmutación durante el tiempo de *trip-off* (zona 2 en la Fig. 4), las pérdidas totales en la bobina serán debidas tanto a las P_{Cu} como a las P_{core} . Considerando que el LCL estará funcionando la mayor parte del tiempo en su zona nominal (zona 1), las pérdidas más significativas serán las debidas al cobre en dicha zona de funcionamiento. Sin embargo, se ha de considerar también el que el núcleo magnético no sature cuando el LCL pase de su zona 1 a su zona 2 de funcionamiento. De esta manera, la forma de proceder se basará en primer lugar, en conocer el número de mínimo de vueltas ($N_{mín}$) para evitar la saturación del núcleo magnético de acuerdo con la expresión (12). Seguidamente, se obtendrá el valor de las P_{Cu} en la zona 1, considerando el $N_{mín}$ obtenido para la zona 2, de acuerdo con la expresión (13).

$$N_{mín} = \frac{L \cdot I_{máx}}{B_{sat} \cdot A_e} + 0,5 \quad (12)$$

$$P_{Cu} = \rho_{Cu} \cdot \frac{l_m \cdot I_{nom}^2}{A_w \cdot f_w} \cdot N_{mín}^2 \quad (13)$$

La expresión (12) está definida a través del valor de la inductancia (L), el valor máximo de corriente en la banda de histéresis ($I_{máx}$), el flujo magnético de saturación del material magnético del núcleo (B_{sat}) y el área efectiva (A_e) del núcleo utilizado. Por su parte, la expresión (13) está definida a través de la resistividad del cobre (ρ_{Cu}) de valor $1,75 \cdot 10^{-8} \Omega\text{m}$, del $N_{mín}$ de vueltas obtenido en (12) para la zona 2, de la longitud media (l_m), y del área de ventana (A_w) del núcleo magnético seleccionado. De la misma manera, también se ha de considerar el valor de la corriente nominal (I_{nom}) definida para cada clase, y el valor del factor de ventana (f_w) fijado en 0,3 en este estudio.

Finalmente, para la selección del núcleo magnético en el que implementar la bobina del convertidor reductor, se ha calculado el valor de la temperatura del cobre (T_{Cu}) (14) derivada del valor de las P_{Cu} , así como también el valor de la temperatura final en el

cobre ($T_{finalCu}$) (15) derivada del incremento de las P_{Cu} al pasar de la zona de operación nominal (zona 1) a la zona de limitación de corriente (zona 2), por parte del LCL. La expresión (15) se obtiene considerando el análisis del circuito térmico equivalente mostrado en la Fig. 9, modelado a partir de la fuente de corriente que representa el incremento de pérdidas en el cobre entre la zona 1 y la zona 2 (ΔP_{Cu}), así como también el valor de la capacidad calorífica (C_{th}).

$$T_{Cu} = \frac{P_{Cu}}{2} \cdot \left[\frac{0,001}{A_w} + \frac{(2 \cdot W_L) + W_d}{2 \cdot A_w \cdot f_w \cdot \lambda_{thCu}} \right] + T_o \quad (14)$$

$$T_{finalCu} = T_{Cu} + \frac{1}{C_{th}} \cdot \Delta P_{Cu} \cdot trip_off \quad (15)$$

La expresión (14) depende de parámetros relacionados con las dimensiones de núcleo magnético seleccionado (W_d , W_L), del área de ventana (A_w) del factor de ventana (f_w), de la conductividad térmica del cobre (λ_{thCu}) de valor 372 W/(K·m), de las pérdidas en el cobre (P_{Cu}), y del valor de la temperatura de referencia para el análisis térmico (T_o). Esta temperatura T_o se ha fijado en 40 °C para este estudio.

En el caso de la expresión (15), para conocer el valor de la temperatura final en el cobre, como resultado de pasar de la zona de operación nominal a la zona de limitación de corriente en los distintos núcleos magnéticos seleccionados, es necesario conocer el valor de la capacidad calorífica (C_{th}) en cada uno de ellos. El valor de C_{th} se puede obtener empleando la expresión (16).

$$C_{th} = C_{thCu} \cdot V_e \cdot D_{eCu} \quad (16)$$

donde C_{thCu} es el valor de la capacidad calorífica del cobre fijado en 386 J/(Kg·°C), V_e es el valor del volumen efectivo para cada núcleo magnético seleccionado, y D_{eCu} es el valor de la densidad específica del cobre fijado en 8960 Kg/m³. De la misma manera, también es necesario conocer el tiempo de *trip-off*, definido para cada clase, y el valor del incremento de las pérdidas en el cobre (ΔP_{Cu}) obtenido como la diferencia entre las pérdidas en el cobre ($P_{Cu_{máx}} - P_{Cu_{nom}}$) en la zona 2, a partir de $I_{máx}$, y el valor de las pérdidas en la zona 1, a partir de I_{nom} .

De esta forma, para cada núcleo magnético seleccionado se puede obtener el valor de la T_{Cu} y de la $T_{finalCu}$. Con el objetivo de limitar el valor de temperatura a un valor válido de trabajo, se ha considerado escoger aquel núcleo de menor tamaño que cumpla con la condición de que su $T_{finalCu}$ sea menor de 80 °C.

Finalmente, del análisis derivado de esta sección, la Fig. 10 muestra una presentación de las pérdidas más significativas desde el punto de vista de operación del LCL conmutado. Por un lado, las pérdidas en conducción (P_{cond}) del dispositivo N-MOS de SiC seleccionado, y por otro las P_{Cu} en la zona 1 del núcleo magnético seleccionado. Para esta comparativa se ha considerado una V_{bus} de 120 V, un LCL clase 10 ($I_{nom} = 10$ A, $I_{máx} = 14$ A e $I_{mín} = 11$ A) y un valor de inductancia (L) igual a 20 μ H. Del análisis térmico explicado, se ha obtenido que el núcleo más pequeño con el que llevar a cabo la implementación de la bobina será un E25/13/7 dando como resultado unas P_{Cu} de 0,76 W, una $T_{finalCu}$ de 46,76 °C y un valor de $N_{mín}$ igual a 13 vueltas para evitar la saturación de este.

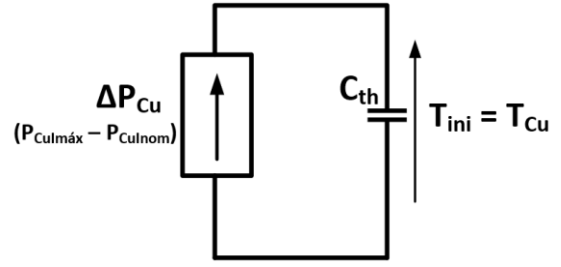


Fig. 9. Circuito equivalente para la obtención de la temperatura final en el cobre para cada núcleo magnético

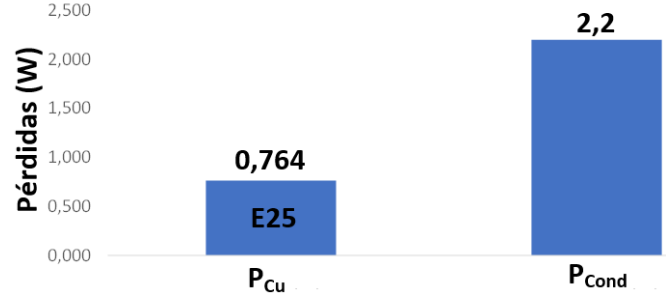


Fig. 10. Representación de las pérdidas en conducción (P_{cond}) del N-MOS y de las pérdidas en el cobre (P_{Cu}) en la zona nominal para el núcleo magnético E25/13/7 seleccionado

III. RESULTADOS EXPERIMENTALES

En esta sección se muestran formas de onda correspondientes a resultados experimentales, en una fase muy inicial, del prototipo fabricado de LCL conmutado (Fig. 11) siguiendo la arquitectura descrita en la Fig. 2. La Fig. 12 muestra el funcionamiento del LCL ante una V_{bus} de 50 V y unos valores de $I_{máx}$ e $I_{mín}$ fijados alrededor de 1 A y 5 A, respectivamente. De esta manera, se puede observar cómo en la zona de operación nominal (zona 1), el valor de la tensión puerta fuente del dispositivo N-MOS (V_{GS}) se encuentra a su nivel máximo (15 V), y cómo cuando se produce la sobrecorriente el LCL entraría a funcionar en la zona de limitación (zona 2) dando lugar a la conmutación en el transistor N-MOS. En este caso, para una inductancia de 30 μ H se ha alcanzado una F_{SW} alrededor de 70 kHz en el dispositivo N-MOS. Transcurrido el tiempo de *trip-off*, fijado alrededor de 1 ms, se produce el apagado del LCL a través de la puesta a cero del nivel de tensión V_{GS} y, por lo tanto, de la I_{medida} .

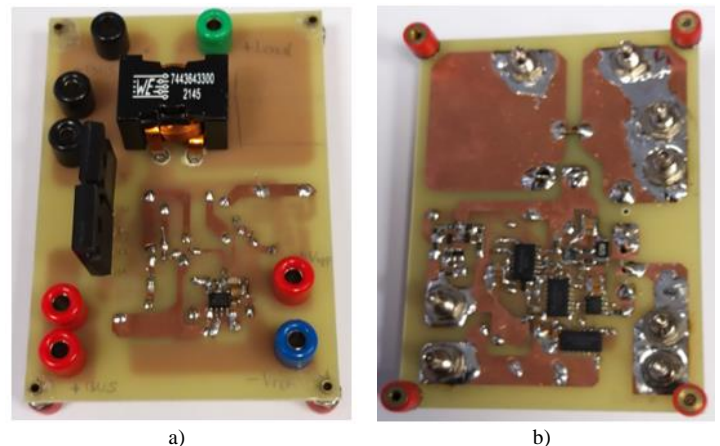


Fig. 11. Capas top a) y bottom b) del prototipo de LCL conmutado implementado

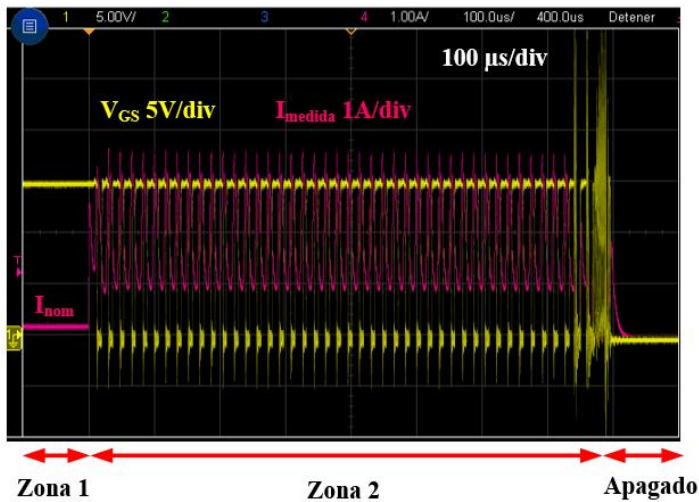


Fig. 12. Zonas de funcionamiento genérico del prototipo de LCL conmutado

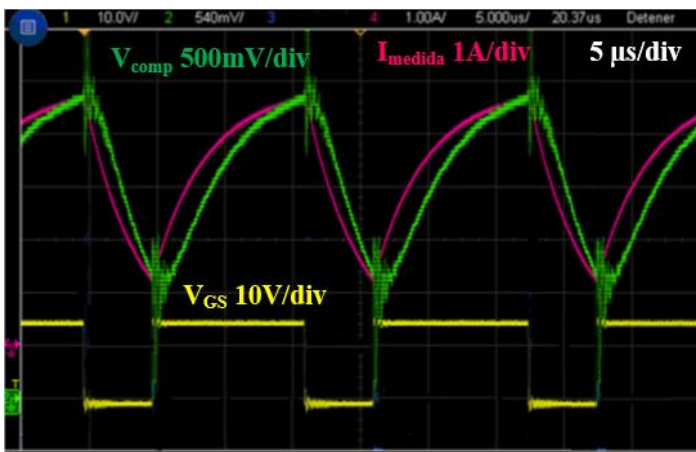


Fig. 13. Detalle del funcionamiento, en modo conmutado, en la zona de limitación de corriente para una V_{bus} de 50 V

La Fig. 13 muestra el detalle en el proceso de conmutación para la I_{medida} , la señal a la salida del sensor de corriente (V_{comp}), y el nivel de tensión V_{GS} en el dispositivo N-MOS. En esta ocasión, los límites de comparación de la banda de histéresis están fijados en 1,4 V (@ I_{min}) y 2,8 V (@ $I_{máx}$). Se puede comprobar cómo en la Fig. 13 la evolución de la I_{medida} es en forma exponencial ya que, para los resultados experimentales presentados, no se ha empleado el condensador de salida (C_{out}) del convertidor reductor (ver Fig. 5).

IV. CONCLUSIONES

En este trabajo se presenta una arquitectura de LCL conmutado basado en un MOSFET de canal N de SiC como dispositivo limitador de la corriente. Cabe destacar que, en el caso de las topologías de LCLs lineales, por normativa, ya se incluye un diodo de libre circulación. Esto hace que los esquemas de dichas topologías sean ya muy similares a los que se tienen en los convertidores conmutados, a falta del componente magnético.

La arquitectura presentada, basada en una topología de convertidor reductor, permite el control puerta-fuente del dispositivo N-MOS a través de un control por histéresis dependiente de los límites de corriente impuestos por cada clase de LCL. El proceso de diseño propuesto incluye el poder llegar a obtener un valor mínimo de la inductancia dependiente únicamente de la tensión de bus, las corrientes definidas para

cada clase, y la frecuencia de conmutación. De la misma manera, el procedimiento de diseño planteado aborda la selección del núcleo magnético con el que implementar la inductancia, considerando para ello el nivel de pérdidas obtenido en modo de funcionamiento lineal, y a su vez el incremento de la temperatura derivado del paso de la zona lineal a la zona de limitación de corriente (i.e. zona de conmutación).

Desde el punto de vista experimental, se muestran unos resultados muy preliminares con el objetivo de validar el concepto para un punto de trabajo basado en una tensión de bus de 50 V, y unos niveles de corriente de limitación entre 1 A y 5 A. Desde este punto de vista, se hace necesario el poder llevar a cabo la implementación de un LCL funcionando en clase 10, pudiendo conseguir frecuencias de conmutación en el dispositivo N-MOS mayores que las alcanzadas hasta ahora. Este último objetivo dependerá en gran medida de la implementación y mejora del sensor de corriente utilizado. De la misma manera, se he de prestar especial atención a la influencia de la banda de histéresis fijada, en el comportamiento del convertidor, ya que el ancho de esta banda de histéresis está relacionado con la máxima frecuencia de conmutación que podría alcanzar el dispositivo N-MOS de SiC.

Finalmente, destacar que en el caso de la topología del LCL conmutado, en su zona de trabajo nominal, la impedancia vista por cualquier carga conectada al bus de potencia del satélite será la propia del bus más la propia bobina del convertidor reductor, conectada en serie. El cómo influye este hecho en la impedancia final que ve cualquier carga conectada al bus de potencia del satélite es también un aspecto por estudiar.

AGRADECIMIENTOS

Trabajo realizado mediante la financiación del Ministerio de Ciencia e Innovación, a través del proyecto PID2021-127707OB-C21, y de la beca predoctoral con referencia PRE2019-088425. De la misma manera, este trabajo ha sido financiando a través del Principado de Asturias y la FICYT a través del proyecto SV-PA-21-AYUD/2021/51931.

REFERENCIAS

- [1] 'Space engineering - Electrical design and interface requirements for power supply, ECSS-E-ST-20-20C'. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15 April 2016.
- [2] 'Space product assurance - Derating - EEE components. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands.
- [3] 'Space engineering - Guidelines for electrical design and interface requirements for power supply'. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15-Apr-2016.
- [4] D. López, P. F. Miaja, M. Arias and A. Fernández, "Circuit Proposal of a Latching Current Limiter for Space Applications Based on a SiC N-MOSFET," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 10, no. 5, pp. 5474-5485, Oct. 2022, doi: 10.1109/JESTPE.2022.3163585.
- [5] A. López, P. F. Miaja, M. Arias and A. Fernández, "Analysis and design of a latching current limiter based on a SiC N-MOSFET," *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, 2021, pp. 5912-5919, doi: 10.1109/ECCE47101.2021.9595074.
- [6] D. Marroquí, A. Garrigos, J.M. Blanes, R. Gutiérrez and E. Maset, 'Circuit proposals for high-voltage latching current limiters', in *European Space Power Conference (ESPC)*, Oct. 2019.
- [7] D. Marroquí, J. M. Blanes, A. Garrigos, and R. Gutiérrez, 'Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter', *IEEE Trans. Power Electron.*, vol. 34, no. 10, pp. 9600-9608, Oct. 2019.
- [8] M. Martín Alfonso and I. Segura y Díaz de Espadas, 'Low Impedance PWM switch and solid state switch' in *European Space Power Conference (ESPC)*, September, 1991.